

介绍

Zynq®-7000所有可编程SoCs可在-3、-2、-1和-1LI速度等级，其中-3具有最高的性能。-1LI设备可以在两个可编程逻辑中的任一种操作(PL) VCCINT/VCCBRAM电压，0.95V和1.0V，并屏蔽了较低的最大静态功率。a -1LI装置的速度规格与-1速度等级相同。操作时PL VCCINT/VCCBRAM= 0.95V，-1LI静态和动态功率降低。Zynq-7000器件的直流和交流特性在商业、扩展、工业和扩展(Q-temp)温度范围内被指定。除工作温度范围或另有说明外，特定速度等级的所有直流和交流电气参数均相同(即，-1速度级工业装置的定时特性与-1速度级商用装置相同)。然而，只有选定的速度等级和/或设备可用在商业温度范围、扩展温度范围、工业或温度温度范围。

所有电源电压和结温度规格都代表最坏情况。所包含的参数是常用设计和典型应用的通用。

可用的设备/包装组合概述如下：

Zynq-7000全可编程SoC概览 (DS190)

XA Zynq-7000全可编程SoC概览 (DS188)

国防级Zynq-7000Q全可编程SoC概览 (DS196)

本Zynq-7000 AP SoC数据表涵盖了XC7Z007S、XC7Z012S、XC7Z014S、XC7Z010、XA7Z010、XC7Z015、XC7Z020、XA7Z020和XQ7Z020的规格，补充了Xilinx网站www上提供的Zynq-7000 AP SoC文档套件。[席林克斯.com/zynq](http://www.xilinx.com/zynq)。

直流特性

表1: 绝对最大额定值(1)

符号	描述	最小	最高的	单位
处理系统 (PS)				
维克品特	PS内部逻辑电源电压	-0.5	1.1	V
维克波	PS辅助电源电压	-0.5	2.0	V
维克普尔	PS PLL供应	-0.5	2.0	V
VCCO_DDR	PS DDR I/O电源电压	-0.5	2.0	V
维克公司_MIO ⁽²⁾	PS MIO I/O电源电压	-0.5	3.6	V
VPREF	PS输入参考电压	-0.5	2.0	V
维平 ⁽²⁾⁽³⁾⁽⁴⁾⁽⁵⁾	PS MIO I/O输入电压	-0.40	维克公司_MIO ⁺ 0.55	V
	PS DDR I/O输入电压	-0.55	维克公司_DDR ⁺ 0.55	V
可编程逻辑 (PL)				
维辛特	PL内部电源电压	-0.5	1.1	V
VCCAUX	PL辅助电源电压	-0.5	2.0	V
维克布拉姆	块RAM存储器的PL电源电压	-0.5	1.1	V
维克公司	HR I/O组的PL电源电压	-0.5	3.6	V
电压基准	输入参考电压	-0.5	2.0	V

发送反馈

表1: 绝对最大额定值(1) (续)

符号	描述	最小	最高的	单位
文 ⁽³⁾⁽⁴⁾⁽⁵⁾	HR输入输出组的输入输出输入电压	-0.40	维克公司+0.55	V
	输入输出电压 (当VCC0= 3.3V)为电压基准和差分I/O标准, 除了TMDS_33 ⁽⁶⁾	-0.40	2.625	V
维克巴特	钥匙记忆电池备份电源	-0.5	2.0	V
GTP收发器 (仅限XC7Z015)				
VMGTAVCC	GTP发射器和接收器电路的模拟电源电压	-0.5	1.1	V
维姆塔夫特	GTP发射器和接收器终端电路的模拟电源电压	-0.5	1.32	V
VMGTREFCLK	参考时钟的绝对输入电压	-0.5	1.32	V
文	接收机 (RXP/RXN) 和发射机 (TXP/TXN) 的绝对输入电压	-0.5	1.26	V
idcin浮子	接收机输入引脚的直流输入电流直流耦合RX终端=浮动	-	14	mA
IDCIN-MGTAVTT	接收器输入引脚的直流输入电流直流耦合RX 终止= VMGTAVTT	-	12	mA
IDCIN-GND	接收机输入引脚的直流输入电流DC耦合RX终端= GND	-	6.5	mA
浮动指示灯	变送器引脚的直流输出电流直流耦合RX终端=浮动	-	14	mA
IDCOUT-MGTAVTT	变送器引脚的直流输出电流RX直流耦合 终止= VMGTAVTT	-	12	mA
XADC				
VCCADC	XADC供应相对于GNDADC	-0.5	2.0	V
VREFP	相对于GNDADC的XADC参考输入	-0.5	2.0	V
温度				
TSTG	储存温度 (环境)	-65	150	°C
特索尔	铅/锡组件本体的最高焊接温度(7)	-	+220	°C
	无铅组件体的最高焊接温度(7)	-	+260	°C
Tj	最大结温度(7)	-	+125	°C

记下

1. 超过绝对最大额定值所列的应力可能会对设备造成永久性损坏。这些仅为应力等级, 并不暗示设备在这些或操作条件下以外的任何其他条件下的功能操作。较长时间暴露于绝对最大额定值条件下可能会影响设备的可靠性。
2. 适用于两个MIO供应银行维克公司_MIO0和维克公司_MIO1。
3. 较低的绝对电压规格始终适用。
4. 有关I/O操作, 请参考《7系列FPGAs选择IO资源用户指南》(UG471)或《Zynq7000全可编程SoC技术参考手册》(UG585)。
5. 最大限制适用于直流信号。最大下调和超调交流规格, 见表4。
6. TMDS_33规范见表11。
7. 有关焊接指南和热学考虑事项, 请参见Zynq7000全可编程SoC包装和压脱规范(UG865)。

表2: 推荐操作条件(1)(2)

符号	描述	最小	型式	最高的	单位
附言					
维克品特	PS内部逻辑电源电压	0.95	1.00	1.05	V
维克波	PS辅助电源电压	1.71	1.80	1.89	V
维克普尔	PS PLL供应	1.71	1.80	1.89	V
VCCO_DDR	PS DDR I/O电源电压	1.14	-	1.89	V
维克公司米奥 ⁽³⁾	MIO机组的PS MIO I/O电源电压	1.71	-	3.465	V

表2: 推荐操作条件(1)(2) (续)

符号	描述	最小	型式	最高的	单位
维平 ⁽⁴⁾	PS DDR和MIO I/O输入电压	- 0.20	-	维克公司_DDR+ 0.20 维克公司_MIO+ 0.20	V
p1					
维辛特 ⁽⁵⁾	PL内部电源电压	0.95	1.00	1.05	V
	PL -1LI (0.95V) 内部电源电压	0.92	0.95	0.98	V
VCCAUX	PL辅助电源电压	1.71	1.80	1.89	V
维克布拉姆 ⁽⁵⁾	PL块RAM电源电压	0.95	1.00	1.05	V
	PL -1LI (0.95V) 块RAM电源电压	0.92	0.95	0.98	V
维克公司 ⁽⁶⁾⁽⁷⁾	HR I/O组的PL电源电压	1.14	-	3.465	V
文 ⁽⁴⁾	输入输出电压	- 0.20	-	维克公司+ 0.20	V
	输入输出电压 (当VCC0= 3.3V)为电压基准和差分I/O标准, 除了TMS_33 ⁽⁸⁾	- 0.20	-	2.625	V
综合信息网 ⁽⁹⁾	钳位二极管正向偏置时, 通过通电或非供电组中任何 (PS或PL) 引脚的最大电流	-	-	10	mA
维克巴特 ⁽¹⁰⁾	蓄电池电压	1.0	-	1.89	V
GTP收发器 (仅限XC7Z015)					
VMGTAVCC ⁽¹¹⁾	GTP发射器和接收器电路的模拟电源电压	0.97	1.0	1.03	V
维姆塔夫特 ⁽¹¹⁾	GTP发射器和接收器终端电路的模拟电源电压	1.17	1.2	1.23	V
XADC					
VCCADC	XADC供应相对于GNDADC	1.71	1.80	1.89	V
VREFP	外部提供的参考电压	1.20	1.25	1.30	V
温度					
T _j	商用 (C) 温度装置的结点温度工作范围	0	-	85	° C
	扩展 (E) 温度装置的接头温度工作范围	0	-	100	° C
	工业 (I) 温度装置的接头温度工作范围	- 40	-	100	° C
	膨胀 (Q) 温度装置的接头温度工作范围	- 40	-	125	° C

记下

1. 所有电压都相对于地。PL和PS有一个共同点。
2. 关于配电系统的设计, 请参阅Zynq7000所有可编程SoC PCB设计指南 (UG933)。
3. 适用于两个MIO供应银行维克公司_MIO0和维克公司_MIO1。
4. 较低的绝对电压规格始终适用。
5. 维辛特和维克布拉姆应该连接到相同的电源。
6. 配置数据即使存在, 也会被保留维克公司降至0V。
7. 包括在±值为5%时的1.2V、1.35V、1.5V、1.8V、2.5V和3.3V的VCC0。
8. TMS_33规范见表11。
9. 每个PS或PL银行总共不得超过200 mA。
10. 维克巴特仅在使用位流加密时才需要。如果未使用电池, 请连接维克巴特到地面或VCCAUX。
11. 列出的每个电压都需要在7系列FPGAs GTP收发器用户指南 (UG482) 中描述的滤波器电路。

表3: 推荐运行条件下的直流特性

符号	描述	最小	Typ (1)	最高的	单位
维德林特	数据保留维辛特电压 (低于此值, 配置数据可能会丢失)	0.75	-	-	V
VDR1	数据保留VCCAUX电压 (低于此值, 配置数据可能会丢失)	1.5	-	-	V
国际不动产联合会	PS_DDR_VREF 0/1、PS_MIO_VREF、和电压基准每个引脚的泄漏电流	-	-	15	μA
i1	每个针脚的输入或输出泄漏电流 (样品测试)	-	-	15	μA
新月 ⁽²⁾	垫处的PL模具输入电容	-	-	8	pF
卡宾 ⁽²⁾	垫处的PS模具输入电容	-	-	8	pF
伊尔普	垫向上 (选择时) @VIN= 0V, VCC0= 3.3V	90	-	330	μA
	垫向上 (选择时) @文= 0V, 维克公司= 2.5V	68	-	250	μA
	垫向上 (选择时) @文= 0V, 维克公司= 1.8V	34	-	220	μA
	垫向上 (选择时) @VIN= 0V, VCC0= 1.5V	23	-	150	μA
	垫向上 (选择时) @文= 0V, 维克公司= 1.2V	12	-	120	μA
IRPD	垫子下拉菜单 (选择时) @文= 3.3V	68	-	330	μA
	垫子下拉菜单 (选择时) @文= 1.8V	45	-	180	μA
伊卡德克	模拟电源电流, 模拟电路处于通电状态	-	-	25	mA
伊巴特 ⁽³⁾	蓄电池供电电流	-	-	150	nA
林_术语 ⁽⁴⁾	可编程输入终端的等效电阻均为10%VCC0/2 (untuned_split_40)	28	40	55	Ω
	可编程输入终端的等效电阻均为10%VCC0/2 (untuned_split_50)	35	50	65	Ω
	可编程输入终端的等效电阻均为10%VCC0/2 (untuned_split_60)	44	60	83	Ω
n	温度二极管理想性因子	-	1.010	-	-
r	温度二极管串联电阻	-	2	-	Ω

记下

1. 典型值为标称电压25° C。
2. 该测量值代表了焊盘上的模具电容, 但不包括封装件。
3. 在25° C的最坏情况过程指定的最大值。
4. 对a的终止电阻VCC0/2水平

表4: 文PS I/O和PL HR I/O的最大交流电压超调和下调银行(1)(2)

交流电压过高	%的UI@-40° C至125° C	交流电压不足	%的UI@-40° C至125° C
维克公司+ 0.55	100	- 0.40	100
		- 0.45	61.7
		- 0.50	25.8
		- 0.55	11.0
维克公司+ 0.60	46.6	- 0.60	4.77
维克公司+ 0.65	21.2	- 0.65	2.10
维克公司+ 0.70	9.75	- 0.70	0.94
维克公司+ 0.75	4.55	- 0.75	0.43
维克公司+ 0.80	2.15	- 0.80	0.20
维克公司+ 0.85	1.02	- 0.85	0.09
维克公司+ 0.90	0.49	- 0.90	0.04
维克公司+ 0.95	0.24	- 0.95	0.02

记下

1. 每个银行总共不应超过200mA。
2. 超调或欠调的峰值电压，以及上述的持续时间维克公司+为0.20V或低于GND-0.20V，不得超过本表中的值。

表5: 典型的静态电源电流

符号	描述	设备	速度等级				单位
			-3	-2	-1	-1LI	
干燥剂	PS静止维克品特源电流	XC7Z007S	N/A	122	122	N/A	mA
		xc7z012秒	N/A	122	122	N/A	mA
		xc7z014秒	N/A	122	122	N/A	mA
		XC7Z010	122	122	122	85	mA
		XC7Z015	122	122	122	85	mA
		XC7Z020	122	122	122	85	mA
		XA7Z010	N/A	N/A	122	N/A	mA
		XA7Z020	N/A	N/A	122	N/A	mA
		XQ7Z020	N/A	122	122	85	mA
干燥剂	PS静止维克波源电流	XC7Z007S	N/A	13	13	N/A	mA
		xc7z012秒	N/A	13	13	N/A	mA
		xc7z014秒	N/A	13	13	N/A	mA
		XC7Z010	13	13	13	11	mA
		XC7Z015	13	13	13	11	mA
		XC7Z020	13	13	13	11	mA
		XA7Z010	N/A	N/A	13	N/A	mA
		XA7Z020	N/A	N/A	13	N/A	mA
		XQ7Z020	N/A	13	13	11	mA

表5: 典型的静态电源电流 (续)

符号	描述	设备	速度等级				单位
			-3	-2	-1	-1LI	
干燥剂	PS静止维克公司_DDR源电流	XC7Z007S	N/A	4	4	N/A	mA
		xc7z012秒	N/A	4	4	N/A	mA
		xc7z014秒	N/A	4	4	N/A	mA
		XC7Z010	4	4	4	4	mA
		XC7Z015	4	4	4	4	mA
		XC7Z020	4	4	4	4	mA
		XA7Z010	N/A	N/A	4	N/A	mA
		XA7Z020	N/A	N/A	4	N/A	mA
		XQ7Z020	N/A	4	4	4	mA
伊辛特克	PL静止维辛特源电流	XC7Z007S	N/A	34	34	N/A	mA
		xc7z012秒	N/A	77	77	N/A	mA
		xc7z014秒	N/A	78	78	N/A	mA
		XC7Z010	34	34	34	21/23 (4)	mA
		XC7Z015	77	77	77	47/53 (4)	mA
		XC7Z020	78	78	78	48/54 (4)	mA
		XA7Z010	N/A	N/A	34	N/A	mA
		XA7Z020	N/A	N/A	78	N/A	mA
		XQ7Z020	N/A	78	78	48/54 (4)	mA
伊科克斯克	PL静止VCCAUX源电流	XC7Z007S	N/A	18	18	N/A	mA
		xc7z012秒	N/A	35	35	N/A	mA
		xc7z014秒	N/A	38	38	N/A	mA
		XC7Z010	18	18	18	16	mA
		XC7Z015	35	35	35	31	mA
		XC7Z020	38	38	38	34	mA
		XA7Z010	N/A	N/A	18	N/A	mA
		XA7Z020	N/A	N/A	38	N/A	mA
		XQ7Z020	N/A	38	38	34	mA
伊科克	PL静止维克公司源电流	XC7Z007S	N/A	3	3	N/A	mA
		xc7z012秒	N/A	3	3	N/A	mA
		xc7z014秒	N/A	3	3	N/A	mA
		XC7Z010	3	3	3	3	mA
		XC7Z015	3	3	3	3	mA
		XC7Z020	3	3	3	3	mA
		XA7Z010	N/A	N/A	3	N/A	mA
		XA7Z020	N/A	N/A	3	N/A	mA
		XQ7Z020	N/A	3	3	3	mA

表5: 典型的静态电源电流 (续)

符号	描述	设备	速度等级				单位
			-3	-2	-1	-1LI	
德布拉姆	PL静止维克布拉姆源电流	XC7Z007S	N/A	3	3	N/A	mA
		xc7z012秒	N/A	4	4	N/A	mA
		xc7z014秒	N/A	6	6	N/A	mA
		XC7Z010	3	3	3	1/2(4)	mA
		XC7Z015	4	4	4	2/2(4)	mA
		XC7Z020	6	6	6	3/4(4)	mA
		XA7Z010	N/A	N/A	3	N/A	mA
		XA7Z020	N/A	N/A	6	N/A	mA
		XQ7Z020	N/A	6	6	3/4(4)	mA

记下

1. 典型值指定在标称电压, 85° C结温度 (Tj) 与单端选择™™资源。
2. 典型的值是针对空白配置的设备, 没有输出电流负载, 没有主动输入上拉电阻, 所有的I/O引脚都是3个状态和浮动的。
3. Xilinx功率估计器 (XPE) 电子表格工具(下载在<http://www.席林克斯>)。估计运行电流。当所需的通电电流超过估计的工作电流时, XPE可以显示通电电流。
4. 第一个值为0.95V, 第二个值为1.0V。

PS电源开关电源顺序

推荐的通电顺序为维克品特那时维克波和维克普尔一起，然后PS VCCO供应(VCCO_MI00, 维克公司_MI01和维克公司_DDR)，以实现最小电流消耗，并确保i/o在通电时是3个规定的。PS_POR_B输入需要在开机顺序过程中向GND断言，直到维克品特，维克波和维克公司_MI00已达到最低操作水平，以确保PS系统的完整性。有关PS_POR_B定时要求的其他信息，请参阅重置。

推荐的断电顺序与断电顺序相反。如果VCCPAUX, 维克普尔，以及PS VCCO日用品(VCCO_MI00, 维克公司_MI01和维克公司_DDR)具有相同的推荐电压水平，然后它们可以由相同的电源供电和同时增加。Xilinx建议供电维克普尔有相同的供应作为VCCPAUX，带有一个可选的铁氧体珠过滤器。在VCCPINT之前在断电阶段，达到0.80V至少有以下四种条件需要：PS_POR_B输入被断言为GND，PS_CLK输入的参考时钟被禁用，维克波低于0.70V，或VCCO_MI00低于0.90V。该条件必须一直保持到为止维克品特达到0.40V，以确保eFUSE的完整性。

对于VCCO_MI00和维克公司_MI01电压3.3V:

两者之间的电压差维克公司_MI00/VCCO_MI01和维克波不能超过2.625V，超过 $t_{vcco2vccoX}$ 为每个开/关周期，以保持设备的可靠性水平。

- TVCCO2VCCAUX时间可以在通电和断电坡道之间以任意百分比进行分配。

PL开关电源顺序

PL的推荐通电顺序为维辛特，维克布拉姆，VCCAUX和维克公司达到最小电流输出，确保I/O为3个。推荐的断电顺序与断电顺序相反。如果VCCINT和维克布拉姆具有相同的推荐电压水平，然后两者都可以由相同的电源供电，并同时增加电压。如果VCCAUX和维克公司具有相同的推荐电压水平，然后两者都可以由相同的电源供电，并同时增加电压。

对于VCCOHR I/O组和配置组中的3.3V电压0:

两者之间的电压差维克公司和VCCAUX不能超过2.625V，超过 $t_{vcco2vccoX}$ 为每个开/关周期，以保持设备的可靠性水平。

- TVCCO2VCCAUX时间可以在通电和断电坡道之间以任意百分比进行分配。

GTP收发器 (仅限XC7Z015)

为GTP收发器 (仅限XC7Z015) 实现最小电流消耗的推荐通电顺序为维辛特, VMGTAVCC, VMGTAVTTOR VMGTAVCC, 维辛特, 维姆塔夫特两个VMGTAVCC和维辛特可以同时分叉。这个建议的断电顺序是断电顺序的反向，以实现最小电流消耗。

如果不满足这些推荐的序列，则将电流从维姆塔夫特在通电和断电时可以高于规格。

- 当VMGTAVTT之前是供电的VMGTAVCC和维姆塔夫特 - $VMGTAVCC > 150 \text{ mV}$ 和 $VMGTAVCC < 0.7 \text{ V}$ 维姆塔夫特电流抽取可以增加460 mA VMGTAVCC加强当前绘制的持续时间可为 $0.3 \times TMGTAVCC$ (斜坡时间从GND到90%VMGTAVCC)。断电时的情况正好相反。
- 当VMGTAVTT之前是供电的维辛特和维姆塔夫特 - $维辛特 > 150 \text{ mV}$ 和 $维辛特 < 0.7 \text{ V}$ 维姆塔夫特电流抽取可以增加50 mA 维辛特加强当前绘制的持续时间可以达到 $0.3 \times TVCCINT$ (斜坡时间从GND到90%维辛特)。断电时的情况正好相反。

对于未显示的供应品，没有推荐的顺序。

PS-PL功率测序

PS和PL电源均完全独立。PS电源(VCCPINT, 维克波, 维克普尔, 维克公司_DDR, 维克公司_MI00和维克公司_MI01)可以在任何PL电源供应之前或之后供电。PS和PL的电源区域被隔离，以防止损坏。

发送反馈

电源要求

表6显示了除I外的最小电流CCQ，这是Zynq-7000设备需要适当的开机和配置。如果满足表5和表6中所示的电流最小值，则在所有四个PL电源都通过其通电复位阈值电压后，设备将通电。Zynq-7000设备必须先配置完毕维辛特是应用。一旦初始化和配置，使用Xilinx功率估计器（XPE）电子表格工具（在www下载。[席林克斯](#)。来估计这些供应品的电流消耗。

表6：Zynq-7000设备的通电电流

设备	干燥剂	干燥剂	干燥剂	伊辛特明	二氧化钙	伊科明	干燥剂	单位
XC7Z007S	干燥剂+70	干燥剂+40	干燥剂+ 100 mA每 银行	伊辛特克+40	伊科克斯克+60	伊科克+ 90 mA 每银行	德布拉姆+40	mA
xc7z012秒	干燥剂+70	干燥剂+40	干燥剂+ 100 mA每 银行	伊辛特克+130	伊科克斯克+60	伊科克+ 90 mA 每银行	德布拉姆+40	mA
xc7z014秒	干燥剂+70	干燥剂+40	干燥剂+ 100 mA每 银行	伊辛特克+70	伊科克斯克+60	伊科克+ 90 mA 每银行	德布拉姆+40	mA
XC7Z010 XA7Z010	干燥剂+70	干燥剂+40	干燥剂+ 100 mA每 银行	伊辛特克+40	伊科克斯克+60	伊科克+ 90 mA 每银行	德布拉姆+40	mA
XC7Z015	干燥剂+70	干燥剂+40	干燥剂+ 100 mA每 银行	伊辛特克+130	伊科克斯克+60	伊科克+ 90 mA 每银行	德布拉姆+40	mA
XC7Z020 XA7Z020 XQ7Z020	干燥剂+70	干燥剂+40	干燥剂+ 100 mA每 银行	伊辛特克+70	伊科克斯克+60	伊科克+ 90 mA 每银行	德布拉姆+40	mA

表7：电源坡道时间

符号	描述	条件	最小	最高的	单位
特瓦克品特	斜坡时间从GND到90%维克品特		0.2	50	ms
特维克波	斜坡时间从GND到90%维克波		0.2	50	ms
TVCCO_DDR	斜坡时间从GND到90%维克公司_DDR		0.2	50	ms
TVCCO_MIO	斜坡时间从GND到90%维克公司_MIO		0.2	50	ms
TVCCINT	斜坡时间从GND到90%维辛特		0.2	50	ms
三氯联苯	斜坡时间从GND到90%维克公司		0.2	50	ms
tvccaux	斜坡时间从GND到90%VCCAUX		0.2	50	ms
特维克布拉姆	斜坡时间从GND到90%维克布拉姆		0.2	50	ms
tvcco2vccox	每功率周期允许的时间维克公司 - VCCAUX > 2.625V和维克公司_MIO - 维克波 > 2.625V	T _j =125° C (1) T _j =100° C (1) T _j =85° C (1)	-	300 500 800	ms
TMGTAVCC	斜坡时间从GND到90%VMGTAVCC		0.2	50	ms
特姆塔夫特	斜坡时间从GND到90%维姆塔夫特		0.2	50	ms

记下

1. 基于24万次标称功率循环维克公司3.3V或36,500次功率循环维克公司3.465V。

发送反馈

直流输入和输出电平

的值邪恶的和暴力致残推荐输入电压。的值眼内透镜置入和日是否保证在推荐的操作条件下，在哪里卷和验证摘机测试点。只有选定的标准才进行测试。选择这些标准是为了确保所有的标准都符合其规范。至少对选定的标准进行测试维克公司与各自的卷和验证摘机电压水平显示。其他标准是样品测试。

PS输入输出水平

表8: PS直流输入和输出水平(1)

银行	输入输出标准	邪恶的		暴力致残		卷	验证摘机	眼内透镜置入	日
		V, 最小值	V, 最大值	V, 最小值	V, 最大值	V, 最大值	V, 最小值	mA	mA
米奥	lvcmo18	-0.300	35% VCCO_MIO	65% VCCO_MIO	维克公司_MIO+ 0.300	0.450	维克公司_MIO - 0.450	8	-8
米奥	LVC MOS25	-0.300	0.700	1.700	维克公司米奥+ 0.300	0.400	维克公司米奥 - 0.400	8	-8
米奥	lvcmo33	-0.300	0.800	2.000	3.450	0.400	维克公司_MIO - 0.400	8	-8
米奥	hst1_i_18	-0.300	VPREF - 0.100	VPREF+ 0.100	维克公司_MIO+ 0.300	0.400	维克公司_MIO - 0.400	8	-8
DDR	sst118_i	-0.300	VPREF - 0.125	VPREF+ 0.125	维克公司DDR+ 0.300	维克公司DDR/2 - 0.470	维克公司DDR/2 + 0.470	8	-8
DDR	SSTL15	-0.300	VPREF - 0.100	VPREF+ 0.100	维克公司_DDR+ 0.300	维克公司_DDR/2 - 0.175	维克公司_DDR/2 + 0.175	13.0	-13.0
DDR	SSTL135	-0.300	VPREF - 0.090	VPREF+ 0.090	维克公司_DDR+ 0.300	维克公司_DDR/2 - 0.150	维克公司_DDR/2 + 0.150	13.0	-13.0
DDR	HSUL_12	-0.300	VPREF - 0.130	VPREF+ 0.130	维克公司DDR+ 0.300	20% VCCO _{DDR}	80% VCCO _{DDR}	0.1	-0.1

记下

1. 根据相关规范进行测试。

表9: PS互补差分直流输入和输出电平

银行	输入输出标准	维克姆 ⁽¹⁾			请见 ⁽²⁾		卷 ⁽³⁾	验证摘机 ⁽⁴⁾	眼内透镜置入	日
		V, 最小值	V, Typ	V, 最大值	V, 最小值	V, 最大值	V, 最大值	V, 最小值	MA, 最大	MA, 最小
DDR	diff_hsul_12	0.300	0.600	0.850	0.100	-	20% VCCO	80% VCCO	0.100	-0.100
DDR	diff_sst1135	0.300	0.675	1.000	0.100	-	(VCCO _{DDR/2}) - 0.150	(VCCO _{DDR/2}) + 0.150	13.0	-13.0
DDR	diff_sst115	0.300	0.750	1.125	0.100	-	(VCCO _{DDR/2}) - 0.175	(VCCO _{DDR/2}) + 0.175	13.0	-13.0
DDR	diff_sst118_i	0.300	0.900	1.425	0.100	-	(VCCO _{DDR/2}) - 0.470	(VCCO _{DDR/2}) + 0.470	8.00	-8.00

记下

1. 维克姆是输入的共模电压吗。
2. 请见是输入差动电压 (Q-Q)。
3. 卷为单端低输出电压。
4. 验证摘机是单端高输出电压。

发送反馈

PL I/O水平

表10: 选择IO直流输入和输出等级(1) (2)

输入输出标准	邪恶的		暴力致残		卷	验证摘机	眼内透 镜置入	日
	V, 最小 值	V, 最大值	V, 最小值	V, 最大值	V, 最大值	V, 最小值	mA	mA
hstl_i	- 0.300	电压基准 - 0.100	电压基准+ 0.100	维克公司+ 0.300	0.400	维克公司 - 0.400	8.00	- 8.00
hstl_i_18	- 0.300	电压基准 - 0.100	电压基准+ 0.100	维克公司+ 0.300	0.400	维克公司 - 0.400	8.00	- 8.00
HSTL_II	- 0.300	电压基准 - 0.100	电压基准+ 0.100	维克公司+ 0.300	0.400	维克公司 - 0.400	16.00	- 16.00
HSTL_II_18	- 0.300	电压基准 - 0.100	电压基准+ 0.100	维克公司+ 0.300	0.400	维克公司 - 0.400	16.00	- 16.00
HSUL_12	- 0.300	电压基准 - 0.130	电压基准+ 0.130	维克公司+ 0.300	20% VCC0	80% VCC0	0.10	- 0.10
lvcmo12	- 0.300	35% VCC0	65% VCC0	维克公司+ 0.300	0.400	维克公司 - 0.400	注3	注3
lvcmo15	- 0.300	35% VCC0	65% VCC0	维克公司+ 0.300	25% VCC0	75% VCC0	注4	注4
lvcmo18	- 0.300	35% VCC0	65% VCC0	维克公司+ 0.300	0.450	维克公司 - 0.450	注5	注5
LVC MOS25	- 0.300	0.7	1.700	维克公司+ 0.300	0.400	维克公司 - 0.400	注4	注4
lvcmo33	- 0.300	0.8	2.000	3.450	0.400	维克公司 - 0.400	注4	注4
低电压晶体管晶体 管逻辑	- 0.300	0.8	2.000	3.450	0.400	2.400	注5	注5
mobile_ ddr	- 0.300	20% VCC0	80% VCC0	维克公司+ 0.300	10% VCC0	90% VCC0	0.10	- 0.10
PCI33_3	- 0.400	30% VCC0	50% VCC0	维克公司+ 0.500	10% VCC0	90% VCC0	1.50	- 0.50
SSTL135	- 0.300	电压基准 - 0.090	电压基准+ 0.090	维克公司+ 0.300	VCC0/2 - 0.150	VCC0/2 + 0.150	13.00	- 13.00
SSTL135_R	- 0.300	电压基准 - 0.090	电压基准+ 0.090	维克公司+ 0.300	VCC0/2 - 0.150	VCC0/2 + 0.150	8.90	- 8.90
SSTL15	- 0.300	电压基准 - 0.100	电压基准+ 0.100	维克公司+ 0.300	VCC0/2 - 0.175	VCC0/2 + 0.175	13.00	- 13.00
SSTL15_R	- 0.300	电压基准 - 0.100	电压基准+ 0.100	维克公司+ 0.300	VCC0/2 - 0.175	VCC0/2 + 0.175	8.90	- 8.90
sstl18_i	- 0.300	电压基准 - 0.125	电压基准+ 0.125	维克公司+ 0.300	VCC0/2 - 0.470	VCC0/2 + 0.470	8.00	- 8.00
SSTL18_II	- 0.300	电压基准 - 0.125	电压基准+ 0.125	维克公司+ 0.300	VCC0/2 - 0.600	VCC0/2 + 0.600	13.40	- 13.40

记下

1. 根据相关规范进行测试。
2. 3.3V和2.5V标准仅支持于HR I/O银行。
3. 在人力资源I/O银行中，支持的驱动器强度为4、8或12 mA。
4. 在HR I/O银行中，支持的驱动器强度为4、8、12或16 mA。
5. 在HR I/O银行中，支持的驱动器强度分别为4、8、12、16或24 mA。
6. 有关详细的接口特定的直流电压水平，请参见7系列FPGAs选择IO资源用户指南 (UG471)。

表11: 差分选择IO直流输入和输出电平

输入输出标准	维克姆 ⁽¹⁾	请见 ⁽²⁾	车辆因保养不能出勤 ⁽³⁾	发送反馈	视频点播 ⁽⁴⁾
--------	--------------------	-------------------	--------------------------	------	---------------------

	V, 最小值	V, Typ	V, 最大值	V, 最小值	V, Typ	V, 最大值	V, 最小值	V, Typ	V, 最大值	V, 最小值	V, Typ	V, 最大值
blvds_25	0.300	1.200	1.425	0.100	-	-	-	1.250	-	注5		
mini_lvds_25	0.300	1.200	VCCAUX	0.200	0.400	0.600	1.000	1.200	1.400	0.300	0.450	0.600
PPDS_25	0.200	0.900	VCCAUX	0.100	0.250	0.400	0.500	0.950	1.400	0.100	0.250	0.400
RSDS_25	0.300	0.900	1.500	0.100	0.350	0.600	1.000	1.200	1.400	0.100	0.350	0.600
TMDS_33	2.700	2.965	3.230	0.150	0.675	1.200	维克公司 - 0.405	维克公司 - 0.300	维克公司 - 0.190	0.400	0.600	0.800

记下

1. 维克姆是输入的共模电压吗。
2. 请见是输入差动电压 (Q-Q)。
3. 车辆因保养不能出勤是输出的共模电压吗。
4. 视频点播是输出差动电压 (Q-Q)。
5. 视频点播对于BLVDS，根据拓扑结构和加载情况将会有很大的不同。
6. LVDS_25的指定值见表13。

表12: 互补差分选择IO直流输入和输出水平

输入输出标准	维克姆 ⁽¹⁾			请见 ⁽²⁾		卷 ⁽³⁾	验证摘机 ⁽⁴⁾	眼内透镜置入	日
	V, 最小值	V, Typ	V, 最大值	V, 最小值	V, 最大值	V, 最大值	V, 最小值	MA, 最大	MA, 最小
diff_hstl_i	0.300	0.750	1.125	0.100	-	0.400	维克公司 - 0.400	8.00	- 8.00
diff_hstl_i_18	0.300	0.900	1.425	0.100	-	0.400	维克公司 - 0.400	8.00	- 8.00
diff_hstl_ii	0.300	0.750	1.125	0.100	-	0.400	维克公司 - 0.400	16.00	- 16.00
diff_hstl_ii_18	0.300	0.900	1.425	0.100	-	0.400	维克公司 - 0.400	16.00	- 16.00
diff_hsul_12	0.300	0.600	0.850	0.100	-	20% VCC0	80% VCC0	0.100	- 0.100
diff_mobile_dds	0.300	0.900	1.425	0.100	-	10% VCC0	90% VCC0	0.100	- 0.100
diff_sstl135	0.300	0.675	1.000	0.100	-	(VCC0/2) - 0.150	(VCC0/2) + 0.150	13.0	- 13.0
diff_sstl135_r	0.300	0.675	1.000	0.100	-	(VCC0/2) - 0.150	(VCC0/2) + 0.150	8.9	- 8.9
diff_sstl15	0.300	0.750	1.125	0.100	-	(VCC0/2) - 0.175	(VCC0/2) + 0.175	13.0	- 13.0
diff_sstl15_r	0.300	0.750	1.125	0.100	-	(VCC0/2) - 0.175	(VCC0/2) + 0.175	8.9	- 8.9
diff_sstl18_i	0.300	0.900	1.425	0.100	-	(VCC0/2) - 0.470	(VCC0/2) + 0.470	8.00	- 8.00
diff_sstl18_ii	0.300	0.900	1.425	0.100	-	(VCC0/2) - 0.600	(VCC0/2) + 0.600	13.4	- 13.4

记下

1. 维克姆是输入的共模电压吗。
2. 请见是输入差动电压 (Q-Q)。
3. 卷为单端低输出电压。
4. 验证摘机是单端高输出电压。

LVDS直流规格 (LVDS_25)

表13: LVDS_25直流技术规范(1)

符号	直流参数	条件	最小	型式	最高的	单位
维克公司	电源电压		2.375	2.5	2.625	V
验证摘机	Q、Q的输出高压	rt= 100 Ω 跨Q和Q信号	-	-	1.675	V
卷	Q和Q的输出电压较低	rt= 100 Ω 跨Q和Q信号	0.700	-	-	V
语音输入	差分输出电压: (Q-Q), Q=高 (Q-Q), Q=高	rt= 100 Ω 跨Q和Q信号	247	350	600	mV
车辆因保养不能出勤	输出共模电压	rt= 100 Ω 跨Q和Q信号	1.00	1.25	1.425	V
维迪夫	差分输入电压: (Q-Q), Q=高 (Q-Q), Q=高		100	350	600	mV
维克姆	输入共模电压		0.3	1.2	1.500	V

记下

1. LVDS_25的差异输入可以放在银行中维克公司与输出所需的级别不同的级别。咨询7系列FPGAs选择IO资源用户指南 (UG471) 以获得更多信息。

发送反馈

交流开关特性

本数据表中所表示的所有值均基于ISE®设计套件14.7和Vivado®设计套件2016.3中的速度规格，如表14所示。

表14: Zynq-7000所有可编程SoC速度规范版本

ISE 14.7	Vivado 2016.3	设备
1.08	1.11	XC7Z010和XC7Z020
N/A	1.11	XC7Z007S、XC7Z012S、XC7Z014S和XC7Z015
1.06	1.09	XA7Z010和XA7Z020
1.06	1.10	XQ7Z020

开关特性按速度等级指定，可指定为提前、初步或生产。每个名称的定义如下：

先进的产品规格

这些规范仅基于模拟，并且通常在设备设计规范被冻结后不久就可用。虽然具有这种名称的速度等级被认为是相对稳定和保守的，但仍可能出现一些漏报。

初步的产品规格书

这些规范是基于完整的ES（工程样品）硅表征。具有此名称的设备和速度等级旨在更好地指示生产硅的预期性能。与预先数据相比，漏报延迟的概率大大降低。

生产产品规格

一旦一个特定设备家族成员的足够的生产硅被确定，能够在众多生产批次中提供规格和设备之间的充分相关性，这些规格就会发布。没有对延误的漏报，客户会收到任何后续变更的正式通知。通常，最慢的速度等级在更快的速度等级之前过渡到生产。

交流开关特性的测试

内部定时参数来自于测量内部测试模式。所有交流开关特性代表最坏情况的电源电压和结温度条件。

对于更具体、更精确、和最坏情况保证的数据，请使用静态定时分析器报告的值，并返回注释到模拟网络列表。除非另有说明，该值适用于所有Zynq-7000设备。

速度等级指定

由于单个家庭成员是在不同的时间产生的，从一个类别到另一个类别的迁移完全取决于每个设备的制造过程的状态。表15关联了每个Zynq-7000设备的当前状态。

表15: Zynq-7000设备速度等级指定

设备	速度等级指定		
	预付款	初步的	生产
XC7Z007S			-2E, -2I, -1C, -1I
xc7z012秒			-2E, -2I, -1C, -1I
xc7z014秒			-2E, -2I, -1C, -1I
XC7Z010			-3E, -2E, -2I, -1C, -1I, -1LI
XC7Z015			-3E, -2E, -2I, -1C, -1I, -1LI

表15: Zynq-7000设备速度等级指定 (续)

设备	速度等级指定		
	预付款	初步的	生产
XC7Z020			-3E, -2E, -2I, -1C, -1I, -1LI
XA7Z010			-1I, -1Q
XA7Z020			-1I, -1Q
XQ7Z020			-2I, -1I, -1Q, -1LI

生产硅和软件状态

在某些情况下, 一个特定的家庭成员 (和速度等级) 在一个速度规格发布与正确的标签 (预先, 初步, 生产) 之前被发布到生产中。任何标签差异都将在随后的速度规格版本中予以纠正。

表16列出了生产过程中发布的Zynq-7000设备、速度等级, 以及相应的最低支持的速度规格版本和软件修订版。所列出的软件和速度规格是生产所需的最低版本。所有后续版本的软件和速度规格都是有效的。

表16: Zynq-7000设备生产软件和速度规格书的发布

设备	速度等级指定						
	-3E	-2E	-2I	-1C	-1I	-1LI	-1Q
XC7Z007S	N/A	Vivado工具2016.3 v1.11				N/A	N/A
xc7z012秒	N/A	Vivado工具2016.3 v1.11				N/A	N/A
xc7z014秒	N/A	Vivado工具2016.3 v1.11				N/A	N/A
XC7Z010	ISE工具14.5 .06v1和 Vivado工具2013.1 v1.06	ISE工具14.4和14.4设备包v1.05和Vivado工具2013.1 v1.06				Vivado工具2014.4 v1.11	N/A
XC7Z015	Vivado工具2013.4 v1.09				Vivado工具2014.4 v1.11	N/A	
XC7Z020	ISE工具14.5 .06v1和 Vivado工具2013.1 v1.06	ISE工具14.4和14.4设备包v1.05和Vivado工具2013.1 v1.06				Vivado工具2014.4 v1.11	N/A
XA7Z010	N/A				ISE工具14.5 v1.04和 Vivado工具2013.1 v1.04	N/A	ISE工具14.6 .05v1和 Vivado工具2013.2 v1.05
XA7Z020	N/A				ISE工具14.5 v1.04和 Vivado工具2013.1 v1.04	N/A	ISE工具14.6 .05v1和 Vivado工具2013.2 v1.05
XQ7Z020	N/A	ISE工具14.6 v1和.05 Vivado工具2013.2 v1.05	N/A	ISE工具14.6 v1.05和 Vivado工具2013.2 v1.05	Vivado工具2015.4 v1.10	ISE工具14.7 .06v1和 Vivado工具2013.3 v1.06	

在Vivado工具中选择正确的速度等级和电压

在您所选择的设备的Vivado工具中选择正确的设备速度等级和电压是很重要的。

要在Vivado工具中选择-3、-2或-1 (PL 1.0V) 速度规格, 请选择Zynq-7000、XA Zynq-7000或防御级Zynq-7000子系列, 然后选择设备名称、包名称和速度等级的部件名称。例如, 在CLG484软件包和-3速度等级中选择XC7Z020设备的xc7z020c1g484-3部件名称。

要在Vivado工具中选择-1LI (PL 0.95V) 速度规格, 请选择Zynq-7000子族, 然后选择部件名称, 即设备名称和i, 后面是包名称, 然后是速度等级。例如, 在CLG484包和-1LI中选择XC7Z020设备的XC7Z020和-1LI (PL084-1L部件名称。在ISE工具中不支持-1LI (PL 0.95V) 速度规格。

类似的部件命名约定也适用于受支持设备的ISE工具中的速度规范选择。ISE工具中支持的Zynq-7000设备的子集见表16。

PS性能特性

有关进一步的设计要求细节, 请参阅Zynq-7000所有可编程SoC技术参考手册 (UG585)。

表17: CPU时钟域性能

符号	时钟比率	描述	速度等级				单位
			-3	-2	-1C/-1I/-1LI	-1Q	
灵活的中央处理机 _6x4x_621_max ⁽¹⁾	6:2:1	最大CPU时钟频率	866	766	667	667	兆赫
fcpu_3x2x_621_max		最大CPU_3X时钟频率	433	383	333	333	兆赫
fcpu_2x_621_max		最大CPU_2X时钟频率	288	255	222	222	兆赫
fcpu_1x_621_max		最大CPU_1X时钟频率	144	127	111	111	兆赫
灵活的中央处理机 _6x4x_421_max ⁽¹⁾	4:2:1	最大CPU时钟频率	710	600	533	533	兆赫
fcpu_3x2x_421_max		最大CPU_3X时钟频率	355	300	267	267	兆赫
fcpu_2x_421_max		最大CPU_2X时钟频率	355	300	267	267	兆赫
fcpu_1x_421_max		最大CPU_1X时钟频率	178	150	133	133	兆赫

记下

1. 在所有速度规范中, BootROM执行期间的最大频率为500 MHz。

表18: PS DDR时钟域性能(1)

符号	描述	速度等级				单位
		-3	-2	-1C/-1I/-1LI	-1Q	
fddr3_max	最大的DDR3接口性能	1066	1066	1066	1066	Mb/s
FDDR3L最大	最大的DDR3L接口性能	1066	1066	1066	1066	Mb/s
fddr2_max	最大的DDR2接口性能	800	800	800	800	Mb/s
f1pddr2_max	最大的LPDDR2接口性能	800	800	800	800	Mb/s
FDDRCLK_2XMAX	最大DDR_2X时钟频率	444	408	355	355	兆赫

记下

1. 所有的性能数字都适用于内部和外部电压基准结构

表19: PS-PL接口性能

符号	描述	最小	最高的	单位
股骨状的	EMIO千兆以太网控制器的最大频率	-	125	兆赫
股骨细胞	EMIO SD控制器的最大频率	-	25	兆赫
鹅卵石	EMIO SPI控制器的最大频率	-	25	兆赫
股骨贾塔克	EMIO JTAG控制器的最大频率	-	20	兆赫
股骨束	EMIO跟踪控制器的最大频率	-	125	兆赫
芬特姆克	织物跟踪监视器的最大频率	-	125	兆赫
雌激素	DMA最大频率	-	100	兆赫
faxi_max	最大的AXI接口性能	-	250	兆赫

PS开关特性

时钟

表20: 系统参考时钟输入要求

符号	描述	最小	型式	最高的	单位
TJTSPCLK	PS_CLK RMS时钟抖动容差	-	-	±0.5	%
TDCPSCLK	PS_CLK占空比	40	-	60	%
曲普斯克	PS_CLK的升降时间	-	-	6	ns
FPSCLK	PS_CLK频率	30	-	60	兆赫

表21: PS PLL开关特性

符号	描述	速度等级				单位
		-3	-2	-1C/-1I/-1LI	-1Q	
TLOCK_PSPLL	PLL最大锁定时间	60	60	60	60	μs
f _{pspll_max}	PLL最大输出频率	2000	1800	1600	1600	兆赫
FPSPLL_MIN	PLL最小输出频率	780	780	780	780	兆赫

重置

表22: PS重置断言时间要求

符号	描述	最小	型式	最高的	单位
TPSPOR	必需的PS_POR_B断言时间(1)	100	-	-	μs
TPSRST	必需的PS_SRST_B断言时间	3	-	-	PS_CLK时钟周期

记下

1. PS_POR_B需要被断言得很低,直到TPSPOR在PS电源电压达到最低水平后。

PS_POR_B取消断言必须满足以下要求,以避免与安全锁定窗口重合。图1显示了PS_POR_B与最后一个电源之间的时序关系斜坡(VCCINT, 维克布拉姆, VCCAUX, 或VCCO在银行0)。TSLW最小参数和最大参数分别定义了相对于最后一个PL电源达到250 mV的安全锁定窗口的开始和结束。不能在安全锁定窗口内取消PS_POR_B。

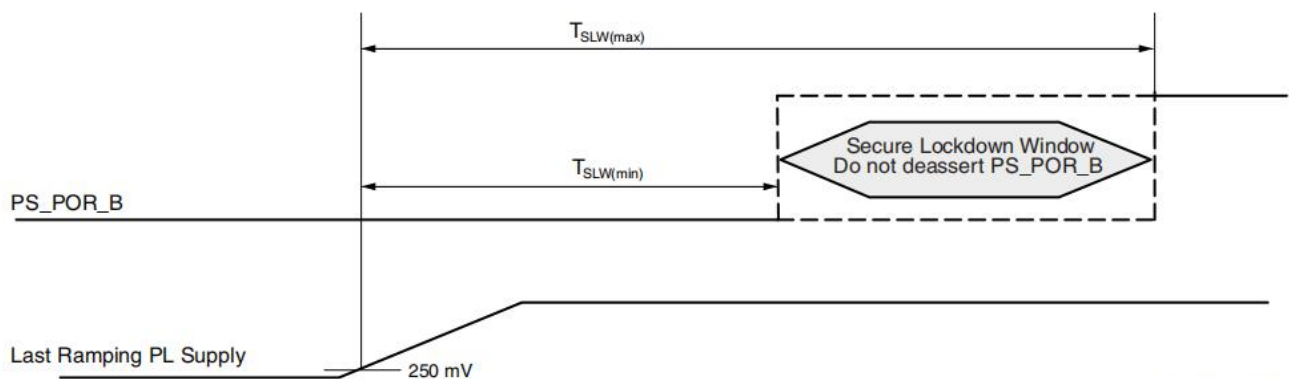


图1: PS_POR_B和电源斜坡定时要求

发送反馈

表23: PS复位/电源定时要求

符号	描述	PS_CLK频率 兆赫	最小	最高的	单位
TSLW ⁽¹⁾	已禁用128 KB CRC eFUSE, 并已启用PLL。默认配置	30	12	39	ms
		33.33	12	40	ms
		60	13	40	ms
	128 KB CRC eFUSE禁用和PLL在旁路。	30	- 32	13	ms
		33.33	- 27	13	ms
		60	- 9	25	ms
	已启用128 KB CRC eFUSE, 并已启用PLL。 ⁽²⁾	30	- 19	9	ms
		33.33	- 16	12	ms
		60	- 3	25	ms
	128 KB CRC eFUSE启用和PLL在旁路。 ⁽²⁾	30	- 830	- 788	ms
		33.33	- 746	- 705	ms
		60	- 408	- 374	ms

记下

1. 电源斜坡时间小于6 ms有效。对于超过6 ms的斜坡时间, 请参阅Zynq7000所有可编程SoC技术参考手册 (UG585) 的BootROM性能部分。
2. 如果将任何PS和PL电源连接在一起, 请遵守表22及其附带说明中的PS_POR_B断言时间要求 (TPSPOR)。

PS配置

表24: 处理器配置接入端口交换机特性

符号	描述	最小	型式	最高的	单位
芬卡普	最大处理器配置接入端口 (PCAP) 频率	-	-	100	兆赫

DDR内存接口

表25: DDR3接口切换特性 (1066 Mb/s) (1)

符号	描述	最小	最高的	单位
t _{dq} 有效 ⁽²⁾	输入数据有效窗口	450	-	ps
t _{dqd} ⁽³⁾	输出DQ到DQS的倾斜	131	-	ps
直方图 ⁽⁴⁾	输出DQS到DQ倾斜	288	-	ps
TDQSS	输出时钟到DQS倾斜	- 0.11	0.09	塔克
特卡克 ⁽⁵⁾	关于CLK的命令/地址输出设置时间	532	-	ps
特卡卡 ⁽⁶⁾	关于CLK的命令/地址输出保持时间	637	-	ps

记下

1. 推荐的VCCO_DDR= 1.5V ±5%.
2. 测量取自电压基准向电压基准.
3. 测量是从DQ的上升边交叉暴力致残 (AC) 或DQ的下降边邪恶的 (交流) 至电压基准的DQS.
4. 测量是从DQ的上升边交叉邪恶的 (DC) 或DQ的下降边缘暴力致残 (直流) 至电压基准的DQS.
5. 测量是来自交叉的CMD/ADDR的上升边缘暴力致残 (AC) 或CMD/ADDR的下降边缘的交叉邪恶的 (交流) 至电压基准的CLK.
6. 测量是来自交叉的CMD/ADDR的上升边缘邪恶的 (DC) 或CMD/ADDR的下降边缘的交叉暴力致残 (直流) 至电压基准的CLK.

发送反馈

表26: DDR3接口切换特性 (800 Mb/s) (1)

符号	描述	最小	最高的	单位
t _{dq} 有效 ⁽²⁾	输入数据有效窗口	500	-	ps
t _{dqd} ⁽³⁾	输出DQ到DQS的倾斜	232	-	ps
直方图 ⁽⁴⁾	输出DQS到DQ倾斜	401	-	ps
TDQSS	输出时钟到DQS倾斜	- 0.10	0.06	塔克
特卡克 ⁽⁵⁾	关于CLK的命令/地址输出设置时间	722	-	ps
特卡卡 ⁽⁶⁾	关于CLK的命令/地址输出保持时间	882	-	ps

记下

1. 推荐的VCCO_DDR= 1.5V ±5%.
2. 测量取自电压基准向电压基准.
3. 测量是从DQ的上升边交叉暴力致残 (AC) 或DQ的下降边邪恶的 (交流) 至电压基准的DQS。
4. 测量是从DQ的上升边交叉邪恶的 (DC) 或DQ的下降边缘暴力致残 (直流) 至电压基准的DQS。
5. 测量是来自交叉的CMD/ADDR的上升边缘暴力致残 (AC) 或CMD/ADDR的下降边缘的交叉邪恶的 (交流) 至电压基准的CLK。
6. 测量是来自交叉的CMD/ADDR的上升边缘邪恶的 (DC) 或CMD/ADDR的下降边缘的交叉暴力致残 (直流) 至电压基准的CLK。

表27: DDR3L接口切换特性 (1066 Mb/s) (1)

符号	描述	最小	最高的	单位
t _{dq} 有效 ⁽²⁾	输入数据有效窗口	450	-	ps
t _{dqd} ⁽³⁾	输出DQ到DQS的倾斜	189	-	ps
直方图 ⁽⁴⁾	输出DQS到DQ倾斜	267	-	ps
TDQSS	输出时钟到DQS倾斜	- 0.13	0.04	塔克
特卡克 ⁽⁵⁾	关于CLK的命令/地址输出设置时间	410	-	ps
特卡卡 ⁽⁶⁾	关于CLK的命令/地址输出保持时间	629	-	ps

记下

1. 推荐的VCCO_DDR= 1.35V ±5%.
2. 测量取自电压基准向电压基准.
3. 测量是从DQ的上升边交叉暴力致残 (AC) 或DQ的下降边邪恶的 (交流) 至电压基准的DQS。
4. 测量是从DQ的上升边交叉邪恶的 (DC) 或DQ的下降边缘暴力致残 (直流) 至电压基准的DQS。
5. 测量是来自交叉的CMD/ADDR的上升边缘暴力致残 (AC) 或CMD/ADDR的下降边缘的交叉邪恶的 (交流) 至电压基准的CLK。
6. 测量是来自交叉的CMD/ADDR的上升边缘邪恶的 (DC) 或CMD/ADDR的下降边缘的交叉暴力致残 (直流) 至电压基准的CLK。

表28: DDR3L接口切换特性 (800 Mb/s) (1)

符号	描述	最小	最高的	单位
t _{dq} 有效 ⁽²⁾	输入数据有效窗口	500	-	ps
t _{dqd} ⁽³⁾	输出DQ到DQS的倾斜	321	-	ps
直方图 ⁽⁴⁾	输出DQS到DQ倾斜	380	-	ps
TDQSS	输出时钟到DQS倾斜	- 0.12	0.04	塔克
特卡克 ⁽⁵⁾	关于CLK的命令/地址输出设置时间	636	-	ps

发送反馈

表28: DDR3L接口切换特性 (800Mb/s) (1) (续)

符号	描述	最小	最高的	单位
特卡卡 ⁽⁶⁾	关于CLK的命令/地址输出保持时间	853	-	ps

记下

1. 推荐的VCCO_DDR= 1.35V ±5%.
2. 测量取自电压基准向电压基准.
3. 测量是从DQ的上升边交叉暴力致残 (AC) 或DQ的下降边邪恶的 (交流) 至电压基准的DQS.
4. 测量是从DQ的上升边交叉邪恶的 (DC) 或DQ的下降边缘暴力致残 (直流) 至电压基准的DQS.
5. 测量是来自交叉的CMD/ADDR的上升边缘暴力致残 (AC) 或CMD/ADDR的下降边缘的交叉邪恶的 (交流) 至电压基准的CLK.
6. 测量是来自交叉的CMD/ADDR的上升边缘邪恶的 (DC) 或CMD/ADDR的下降边缘的交叉暴力致残 (直流) 至电压基准的CLK.

表29: LPDDR2接口切换特性 (800 Mb/s) (1)

符号	描述	最小	最高的	单位
t _{dq} 有效 ⁽²⁾	输入数据有效窗口	500	-	ps
t _{dqd} ⁽³⁾	输出DQ到DQS的倾斜	196	-	ps
直方图 ⁽⁴⁾	输出DQS到DQ倾斜	328	-	ps
TDQSS	输出时钟到DQS倾斜	0.90	1.06	塔克
特卡卡 ⁽⁵⁾	关于CLK的命令/地址输出设置时间	202	-	ps
特卡卡 ⁽⁶⁾	关于CLK的命令/地址输出保持时间	353	-	ps

记下

1. 推荐的VCCO_DDR= 1.2V ±5%.
2. 测量取自电压基准向电压基准.
3. 测量是从DQ的上升边交叉暴力致残 (AC) 或DQ的下降边邪恶的 (交流) 至电压基准的DQS.
4. 测量是从DQ的上升边交叉邪恶的 (DC) 或DQ的下降边缘暴力致残 (直流) 至电压基准的DQS.
5. 测量是来自交叉的CMD/ADDR的上升边缘暴力致残 (AC) 或CMD/ADDR的下降边缘的交叉邪恶的 (交流) 至电压基准的CLK.
6. 测量是来自交叉的CMD/ADDR的上升边缘邪恶的 (DC) 或CMD/ADDR的下降边缘的交叉暴力致残 (直流) 至电压基准的CLK.

表30: LPDDR2接口切换特性 (400 Mb/s) (1)

符号	描述	最小	最高的	单位
t _{dq} 有效 ⁽²⁾	输入数据有效窗口	500	-	ps
t _{dqd} ⁽³⁾	输出DQ到DQS的倾斜	664	-	ps
直方图 ⁽⁴⁾	输出DQS到DQ倾斜	766	-	ps
TDQSS	输出时钟到DQS倾斜	0.90	1.06	塔克
特卡卡 ⁽⁵⁾	关于CLK的命令/地址输出设置时间	731	-	ps
特卡卡 ⁽⁶⁾	关于CLK的命令/地址输出保持时间	907	-	ps

记下

1. 推荐的VCCO_DDR= 1.2V ±5%.
2. 测量取自电压基准向电压基准.
3. 测量是从DQ的上升边交叉暴力致残 (AC) 或DQ的下降边邪恶的 (交流) 至电压基准的DQS.
4. 测量是从DQ的上升边交叉邪恶的 (DC) 或DQ的下降边缘暴力致残 (直流) 至电压基准的DQS.
5. 测量是来自交叉的CMD/ADDR的上升边缘暴力致残 (AC) 或CMD/ADDR的下降边缘的交叉邪恶的 (交流) 至电压基准的CLK.
6. 测量是来自交叉的CMD/ADDR的上升边缘邪恶的 (DC) 或CMD/ADDR的下降边缘的交叉暴力致残 (直流) 至电压基准的CLK.

发送反馈

表31: DDR2接口切换特性 (800 Mb/s) (1)

符号	描述	最小	最高的	单位
t _{dq有效} ⁽²⁾	输入数据有效窗口	500	-	ps
t _{ddq} ⁽³⁾	输出DQ到DQS的倾斜	147	-	ps
直方图 ⁽⁴⁾	输出DQS到DQ倾斜	376	-	ps
TDQSS	输出时钟到DQS倾斜	- 0.07	0.08	塔克
特卡克 ⁽⁵⁾	关于CLK的命令/地址输出设置时间	732	-	ps
特卡卡 ⁽⁶⁾	关于CLK的命令/地址输出保持时间	938	-	ps

记下

1. 推荐的VCCO_DDR= 1.8V ±5%.
2. 测量取自电压基准向电压基准.
3. 测量是从DQ的上升边交叉暴力致残 (AC) 或DQ的下降边邪恶的 (交流) 至电压基准的DQS。
4. 测量是从DQ的上升边交叉邪恶的 (DC) 或DQ的下降边缘暴力致残 (直流) 至电压基准的DQS。
5. 测量是来自交叉的CMD/ADDR的上升边缘暴力致残 (AC) 或CMD/ADDR的下降边缘的交叉邪恶的 (交流) 至电压基准的CLK。
6. 测量是来自交叉的CMD/ADDR的上升边缘邪恶的 (DC) 或CMD/ADDR的下降边缘的交叉暴力致残 (直流) 至电压基准的CLK。

表32: DDR2接口切换特性 (400 Mb/s) (1)

符号	描述	最小	最高的	单位
t _{dq有效} ⁽²⁾	输入数据有效窗口	500	-	ps
t _{ddq} ⁽³⁾	输出DQ到DQS的倾斜	385	-	ps
直方图 ⁽⁴⁾	输出DQS到DQ倾斜	662	-	ps
TDQSS	输出时钟到DQS倾斜	- 0.11	0.06	塔克
特卡克 ⁽⁵⁾	关于CLK的命令/地址输出设置时间	1760	-	ps
特卡卡 ⁽⁶⁾	关于CLK的命令/地址输出保持时间	1739	-	ps

记下

1. 推荐的VCCO_DDR= 1.8V ±5%.
2. 测量取自电压基准向电压基准.
3. 测量是从DQ的上升边交叉暴力致残 (AC) 或DQ的下降边邪恶的 (交流) 至电压基准的DQS。
4. 测量是从DQ的上升边交叉邪恶的 (DC) 或DQ的下降边缘暴力致残 (直流) 至电压基准的DQS。
5. 测量是来自交叉的CMD/ADDR的上升边缘暴力致残 (AC) 或CMD/ADDR的下降边缘的交叉邪恶的 (交流) 至电压基准的CLK。
6. 测量是来自交叉的CMD/ADDR的上升边缘邪恶的 (DC) 或CMD/ADDR的下降边缘的交叉暴力致残 (直流) 至电压基准的CLK。

发送反馈

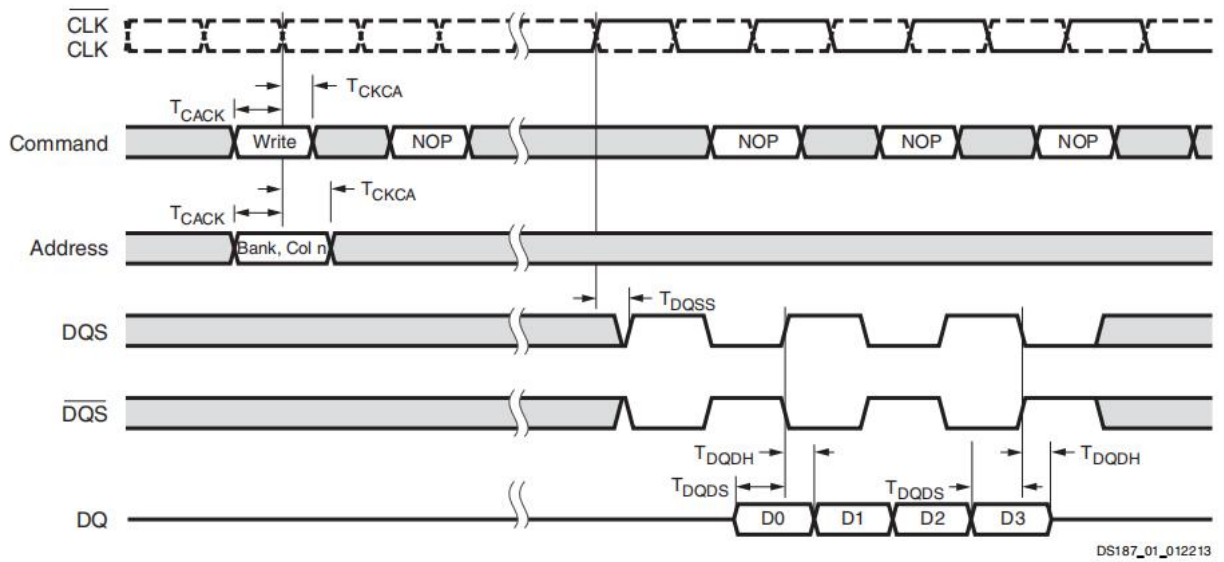


Figure 2: DDR Output Timing Diagram

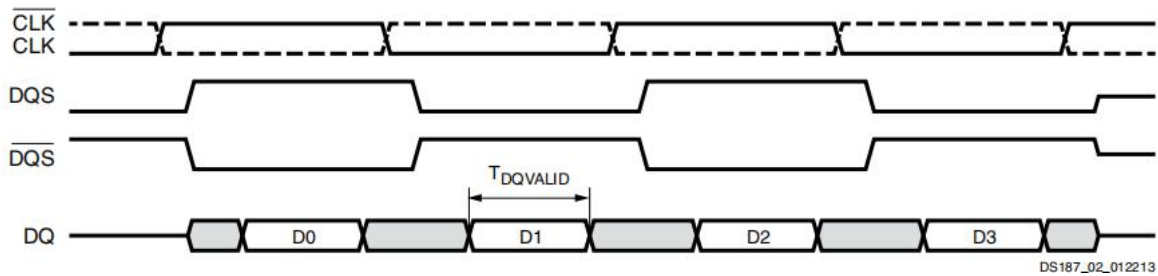


图3: DDR输入时序图

静态存储器控制器

表33: SMC接口延迟特性(1) (2)

符号	描述	最小	最高的	单位
特南多特	从最后一个寄存器到pad的NAND_IO输出延迟	4.12	6.45	ns
特南代尔	从最后一个寄存器到pad的NAND_ALE输出延迟	5.08	6.33	ns
特南克尔	从最后一个寄存器到pad的NAND_CLE输出延迟	4.87	6.40	ns
特南德	从最后一个寄存器到pad的NAND_WE_B输出延迟	4.69	5.89	ns
特南德尔	从最后一个寄存器到pad的NAND_RE_B输出延迟	5.12	6.44	ns
特南德斯	从最后一个寄存器到pad的NAND_CE_B输出延迟	4.68	5.89	ns
特南丁	NAND_IO设置时间和从第一个寄存器到第一个寄存器的输入延迟	1.48	3.09	ns
特南德忙	NAND_BUSY设置时间和从第一个寄存器到第一个寄存器的输入延迟	2.48	3.33	ns
斯特拉玛	SRAM_A从最后一个寄存器到垫子的输出延迟	3.94	5.73	ns
斯拉姆道特	从最后一个寄存器到pad的SRAM_DQ输出延迟	4.66	6.45	ns
斯拉姆斯	从最后一个寄存器到pad的SRAM_CE输出延迟	4.57	5.95	ns
特拉莫	从最后一个寄存器到pad的SRAM_OE_B输出延迟	4.79	6.13	ns
特拉姆布尔斯	从最后一个寄存器到pad的SRAM_BLS_B输出延迟	5.25	6.74	ns
特拉姆	从最后一个寄存器到pad的SRAM_WE_B输出延迟	5.12	6.48	ns
特拉姆丁	SRAM_DQ设置时间和从第一个寄存器到第一个寄存器的输入延迟	1.93	3.05	ns
茨拉姆威特	SRAM_WAIT设置时间和从垫到第一个寄存器的输入延迟	2.26	3.15	ns
FSMC_REF_CLK	SMC参考时钟频率	-	100	兆赫

记下

1. 所有参数不包括包裹飞行时间和登记控制延迟。
2. 请参阅ARM®PrimeCell®静态内存控制器 (PL350系列) 技术参考手册。

四SPI接口

表34：四轴式SPI接口切换特性

符号	描述	负载条件	最小	最高的	单位
反馈时钟已启用					
tdcspesslk1	四SPI时钟占空比	全部(1)(2)	44	56	%
TQSPICK01	数据和从端选择输出延迟	15 pF (1)	- 0.10(3)	2.30	ns
		30 pF (2)	- 1.00	3.80	
TQSPIDCK1	输入数据设置时间	15 pF (1)	2.00	-	ns
		30 pF (2)	3.30	-	
TQSPICKD1	输入数据保持时间	15 pF (1)	1.30	-	ns
		30 pF (2)	1.50	-	
TQSPISSCLK1	从属选择断言到下一个时钟边缘	全部(1)(2)	1	-	FQSPI_REF_CLK自行车
塔克斯皮克斯1	从时钟边缘到从属服务器的选择已取消断言	全部(1)(2)	1	-	FQSPI_REF_CLK自行车
fqspislk1	四SPI设备时钟频率	15 pF (1)	-	100(4)	兆赫
		30 pF (2)	-	70(4)	
反馈时钟已禁用					
tdcspesslk2	四SPI时钟占空比	全部(1)(2)	44	56	%
TQSPICK02	数据和从端选择输出延迟	15 pF (1)	- 0.10	3.80	ns
		30 pF (2)	- 1.00	3.80	ns
TQSPIDCK2	输入数据设置时间	全部(1)(2)	6	-	ns
TQSPICKD2	输入数据保持时间	全部(1)(2)	12.5	-	ns
TQSPISSCLK2	从属选择断言到下一个时钟边缘	全部(1)(2)	1	-	FQSPI_REF_CLK自行车
特克斯普斯克斯2	从时钟边缘到从属服务器的选择已取消断言	全部(1)(2)	1	-	FQSPI_REF_CLK自行车
fqspislk2	四SPI设备时钟频率	全部(1)(2)	-	40	兆赫
已启用或已禁用的反馈时钟					
FQSPI_REF_CLK	四轴器-SPI参考时钟频率	全部(1)(2)	-	200	兆赫

记下

1. 测试条件：LVCMOS33，慢速转速，8 mA驱动强度，15 pF负载，反馈时钟无负载。四位spi单从机选择4位I/O模式。
2. 测试条件：LVCMOS33，慢速转速，8 mA驱动强度，30 pF在4位堆叠I/O配置下的负载，反馈时钟无负载。四位spi单从机选择4位I/O模式。
3. TQSPICK01是一个有效的值。使用它来计算可用的内存设备输入设置，并根据给定的设备时钟输出占空比限制来保持时间预算。
4. 需要适当的组件选择/电路板设计。

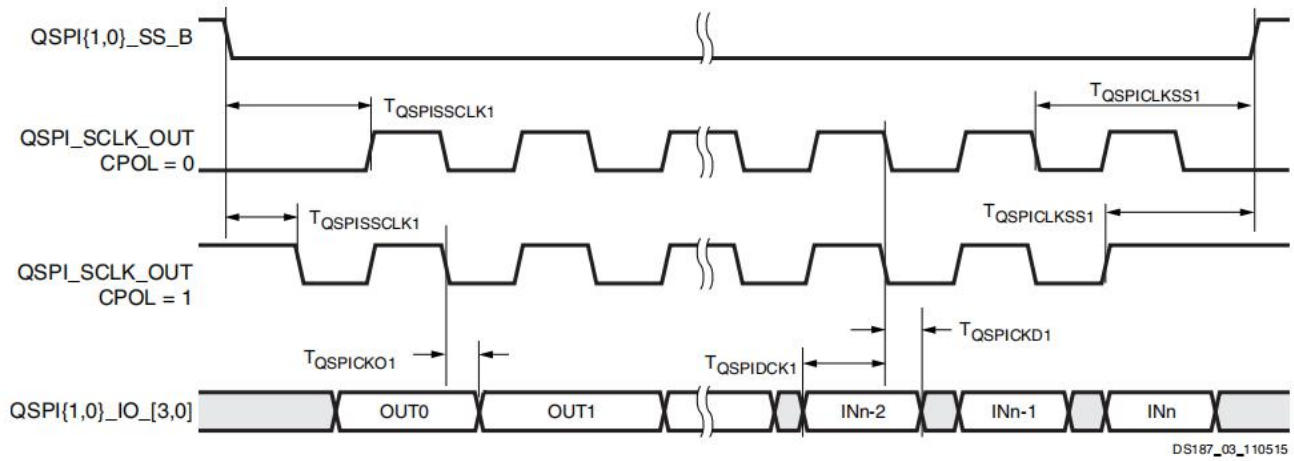


Figure 4: Quad-SPI Interface (Feedback Clock Enabled) Timing Diagram

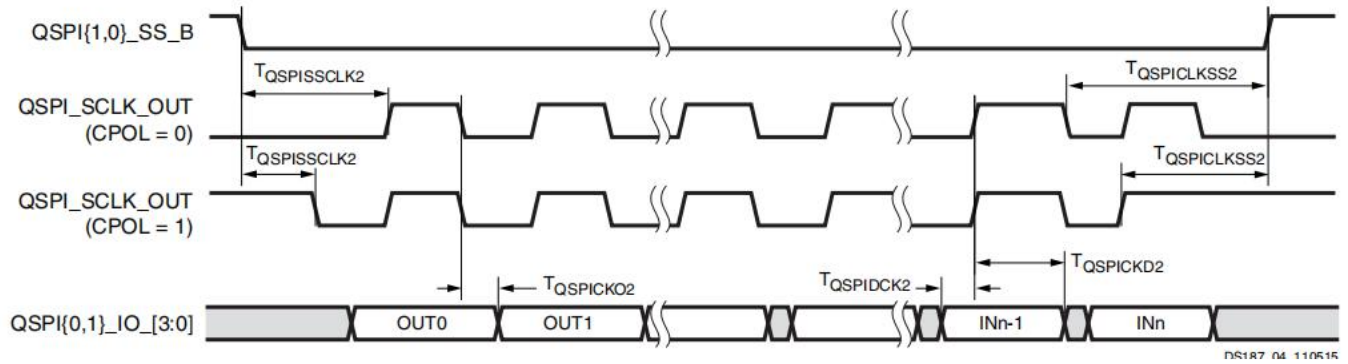


图5: 四SPI接口 (反馈时钟) 时序图

ULPI接口

表35: ULPI接口时钟接收模式切换特性(1) (2)

符号	描述	最小	型式	最高的	单位
图尔皮克	输入设置到ULPI时钟, 所有输入	3.00	-	-	ns
土尔皮克德	输入保持到ULPI时钟, 所有输入	1.00	-	-	ns
土尔皮科	ULPI时钟输出有效, 所有输出均有效	1.70	-	8.86	ns
富尔皮克	ULPI设备时钟频率	-	60	-	兆赫

记下

1. 测试条件: LVCMOS33, 慢速转速, 8 mA驱动强度, 15 pF负载, 60 MHz设备时钟频率。
2. 所有的定时值都假定有一个理想的外部输入时钟。实际设计的系统定时预算应该考虑到额外的外部时钟抖动。

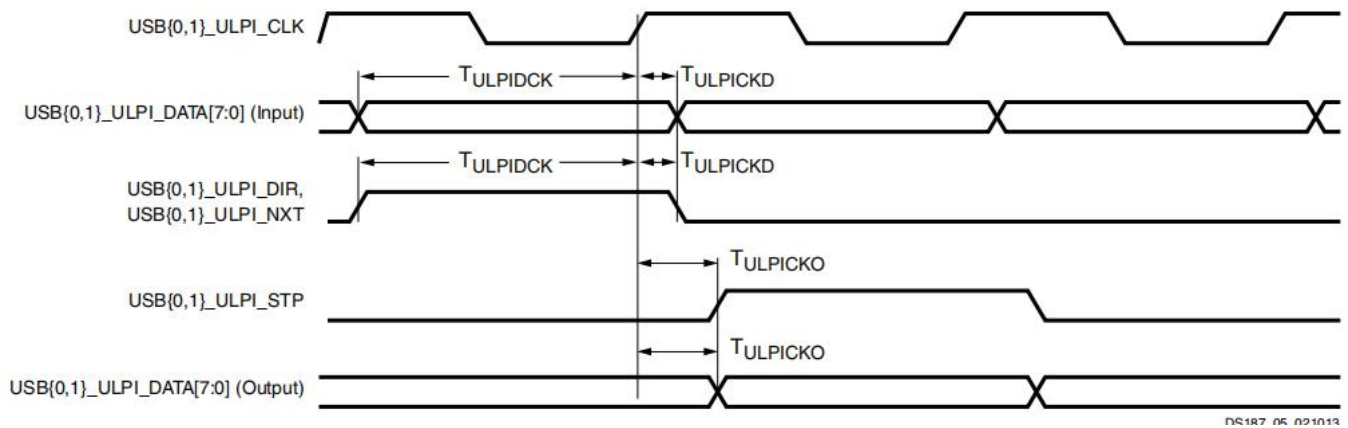


图6: ULPI接口时序图

RGMIIO和MDIO接口

表36: RGMIIO和MDIO接口切换特性 (1) (2) (3)

符号	描述	最小	型式	最高的	单位
TDCGETXCLK	传输时钟占空比	45	-	55	%
捷特克斯科	RGMIIO_TX_D[3: 0], RGMIIO_TX_CTL输出时钟到输出时间	- 0.50	-	0.50	ns
特吉姆斯克	RGMIIO_RX_D[3: 0], RGMIIO_RX_CTL输入设置时间	0.80	-	-	ns
特吉姆斯克德	RGMIIO_RX_D[3: 0], RGMIIO_RX_CTL输入保持时间	0.80	-	-	ns
特姆迪奥克尔克	MDC输出时钟周期	400	-	-	ns
特姆迪奥克	MDC时钟高时间	160	-	-	ns
特姆迪奥克尔	MDC时钟低时间	160	-	-	ns
特姆迪奥克	MDIO输入数据设置时间	80	-	-	ns
TMDIOCKD	MDIO输入数据保存时间	0	-	-	ns
特姆迪奥科	MDIO数据输出延迟	- 20	-	170	ns
FGETXCLK	RGMIIO_TX_CLK发射时钟频率	-	125	-	兆赫
弗格克斯克尔克	RGMIIO_RX_CLK接收时钟频率	-	125	-	兆赫
FENET参考克隆	以太网参考时钟频率	-	125	-	兆赫

记下

1. 测试条件: LVCMOS25, 快速回转速率, 8 mA驱动强度, 15 pF负载。此表中的值是在1000 Mb/s操作期间指定的。
2. 不支持LVCMOS25慢速率和LVCMOS33。
3. 所有的定时值都假定有一个理想的外部输入时钟。实际设计的系统定时预算应该考虑到额外的外部时钟抖动。

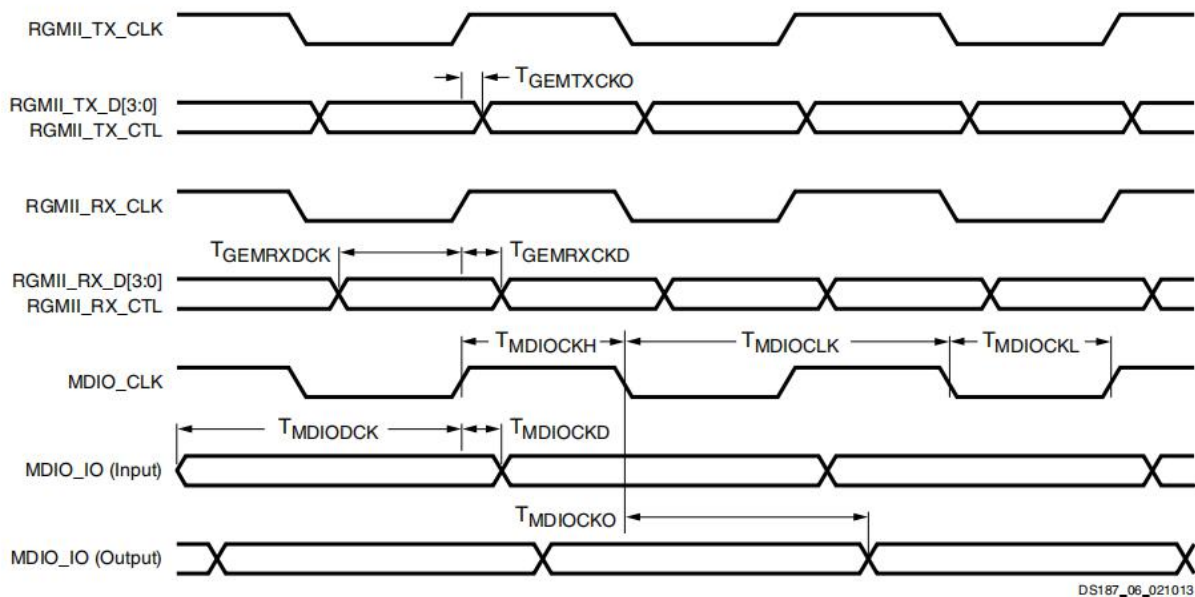


图7: RGMIIO接口时序图

DS187_06_021013

SD/SDIO接口

表37: SD/SDIO接口高速模式切换特性(1)

符号	描述	最小	型式	最高的	单位
TDCSDHCLK	SD设备时钟占空比	-	50	-	%
茨赫斯科	时钟到输出延迟, 所有输出	2.00	-	12.00	ns
茨赫斯克	输入设置时间, 所有输入	3.00	-	-	ns
茨德赫斯克德	输入保持时间, 所有输入	1.05	-	-	ns
FSD_REF_CLK	SD参考时钟频率	-	-	125	兆赫
弗斯茨克尔克	高速模式SD设备时钟频率	0	-	50	兆赫

记下

1. 测试条件: LVC MOS33, 慢速旋转速率, 8 mA驱动强度, 15 pF负载。

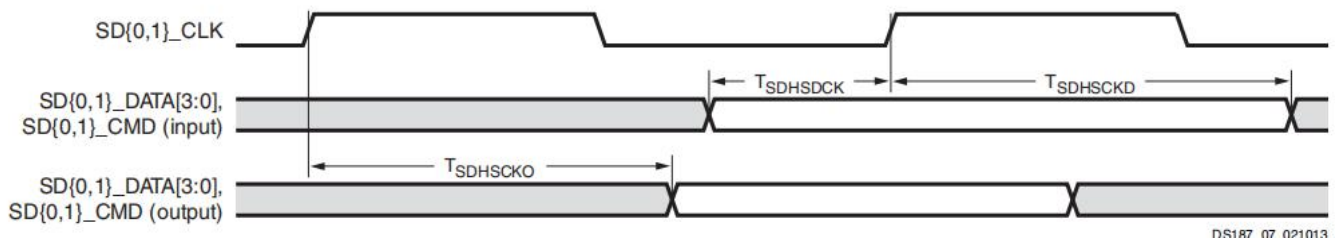


图8: SD/SDIO接口高速模式时序图

表38: SD/SDIO接口切换特性(1)

符号	描述	最小	型式	最高的	单位
TDCSDSCLK	SD设备时钟占空比	-	50	-	%
茨斯科	时钟到输出延迟, 所有输出	2.00	-	12.00	ns
茨德克	输入设置时间, 所有输入	4.00	-	-	ns
TSDSCKD	输入保持时间, 所有输入	3.00	-	-	ns
FSD_REF_CLK	SD参考时钟频率	-	-	125	兆赫
弗斯迪克尔克	在识别模式下的时钟频率	-	-	400	千赫兹
FSDSCLK	标准模式SD设备时钟频率	0	-	25	兆赫

记下

1. 测试条件: LVC MOS33, 慢速旋转速率, 8 mA驱动强度, 15 pF负载。

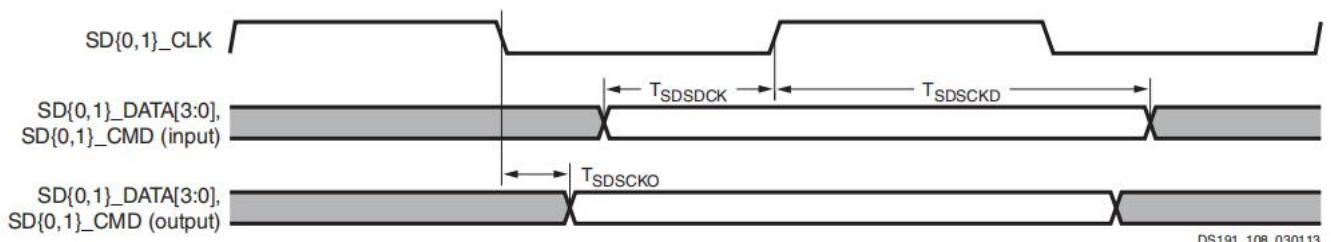


图9: SD/SDIO接口标准模式时序图

I2C接口

表39: I2C快速模式接口切换特性(1)

符号	描述	最小	型式	最高的	单位
TDCI2CFCLK	I2C {0, 1} SCL占空比	-	50	-	%
TI2CFCKO	I2C {0, 1} SDA0时钟输出延迟	-	-	900	ns
TI2CFDCK	I2C {0, 1} SDAI设置时间	100	-	-	ns
FI2CFCLK	I2C {0, 1} SCL时钟频率	-	-	400	千赫兹

记下

1. 测试条件: LVC MOS33, 慢速旋转速率, 8 mA驱动强度, 15 pF负载。

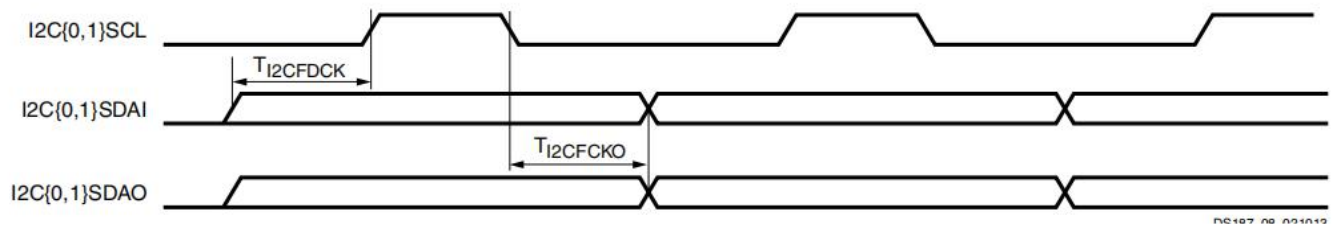


图10: I2C快速模式接口时序图

表40: I2C标准模式接口切换特性(1)

符号	描述	最小	型式	最高的	单位
TDCI2CSCLK	I2C {0, 1} SCL占空比	-	50	-	%
TI2CSCKO	I2C {0, 1} SDA0时钟输出延迟	-	-	3450	ns
TI2CSDCK	I2C {0, 1} SDAI设置时间	250	-	-	ns
csc1k	I2C {0, 1} SCL时钟频率	-	-	100	千赫兹

记下

1. 测试条件: LVC MOS33, 慢速旋转速率, 8 mA驱动强度, 15 pF负载。

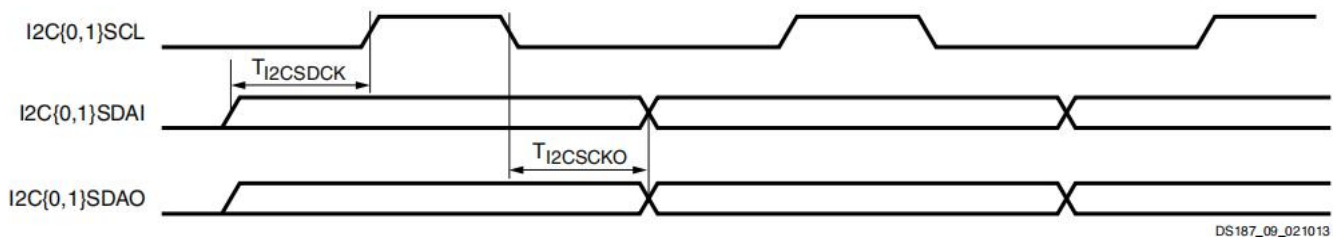


图11: I2C标准模式接口时序图

SPI接口

表41: SPI主模式接口切换特性(1)

符号	描述	最小	型式	最高的	单位
tdcspisclk	SPI主模式时钟占空比	-	50	-	%
TMSPIDCK	输入SPI {0, 1} _MISO的设置时间	2.00	-	-	ns
TMSPICKD	SPI {0, 1} _MISO的输入保持时间	8.20	-	-	ns
特姆斯皮科	SPI {0, 1} _MOSI和SPI {0, 1} _SS的输出延迟	- 3.10	-	3.90	ns
tmspiscclk	从属选择断言到第一个活动的时钟边缘	1	-	-	FSPI_REF_CLK周期
特姆斯皮克斯	取消对奴隶的最后一个活动时钟边缘选择	0.5	-	-	FSPI_REF_CLK周期
芬斯普斯克	SPI主模式设备时钟频率	-	-	50.00	兆赫
FSPI_REF_CLK	SPI参考时钟频率	-	-	200.00	兆赫

记下

1. 测试条件: LVCMOS33, 慢速旋转速率, 8 mA驱动强度, 15 pF负载。

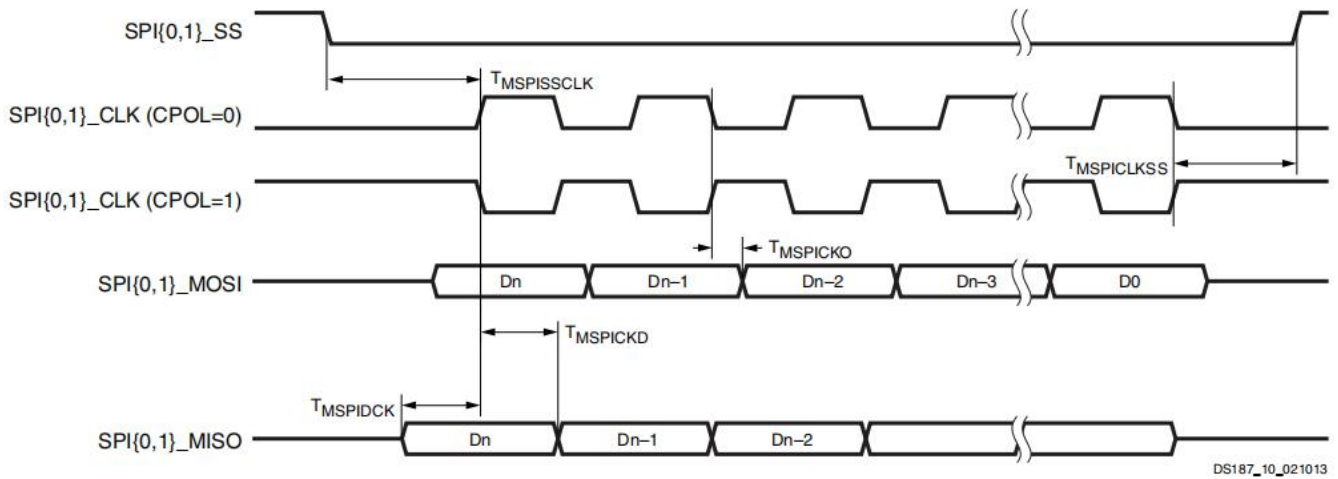


Figure 12: SPI Master (CPHA = 0) Interface Timing Diagram

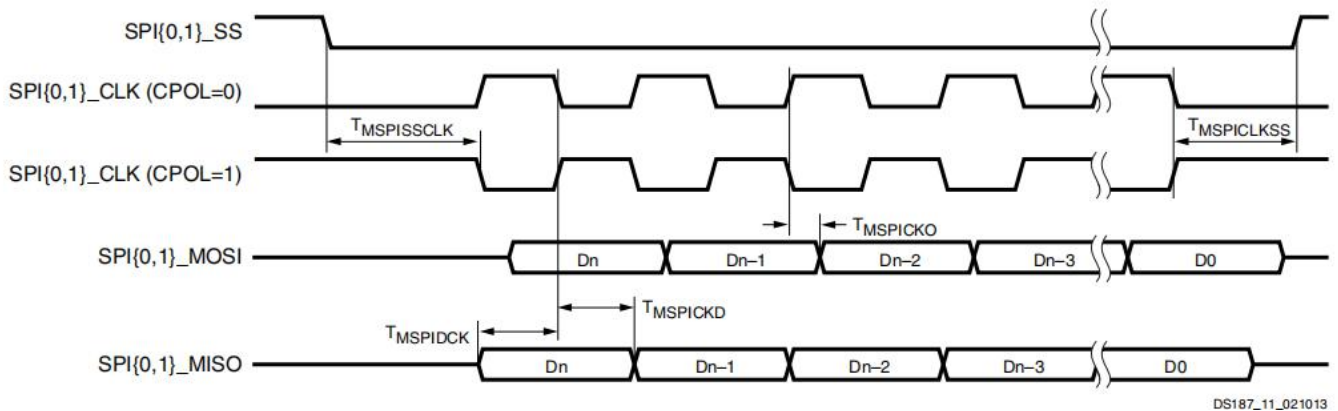


图13: SPI主控件 (CPHA = 1) 接口时序图

表42: SPI从属模式接口切换特性 (1) (2)

符号	描述	最小	最高的	单位
茨斯皮奇	输入SPI {0, 1}_MOSI和SPI {0, 1}_SS的设置时间	1	-	FSPI_REF_CLK周期
茨斯皮克德	SPI {0, 1}_MOSI和SPI {0, 1}_SS的输入保持时间	1	-	FSPI_REF_CLK周期
特斯皮科	SPI {0, 1}_MISO的输出延迟	0	2.6	FSPIREF_CLK周期
斯佩斯克	从属选择断言到第一个活动的时钟边缘	1	-	FSPI_REF_CLK周期
斯佩斯特克斯	取消对奴隶的最后一个活动时钟边缘选择	1	-	FSPI_REF_CLK周期
弗斯皮斯克	SPI从属模式设备时钟频率	-	25	兆赫
FSPI_REF_CLK	SPI参考时钟频率	-	200	兆赫

记下

1. 测试条件: LVCMOS33, 慢速旋转速率, 8 mA驱动强度, 15 pF负载。
2. 所有的定时值都假定有一个理想的外部输入时钟。实际设计的系统定时预算应该考虑到额外的外部时钟抖动。

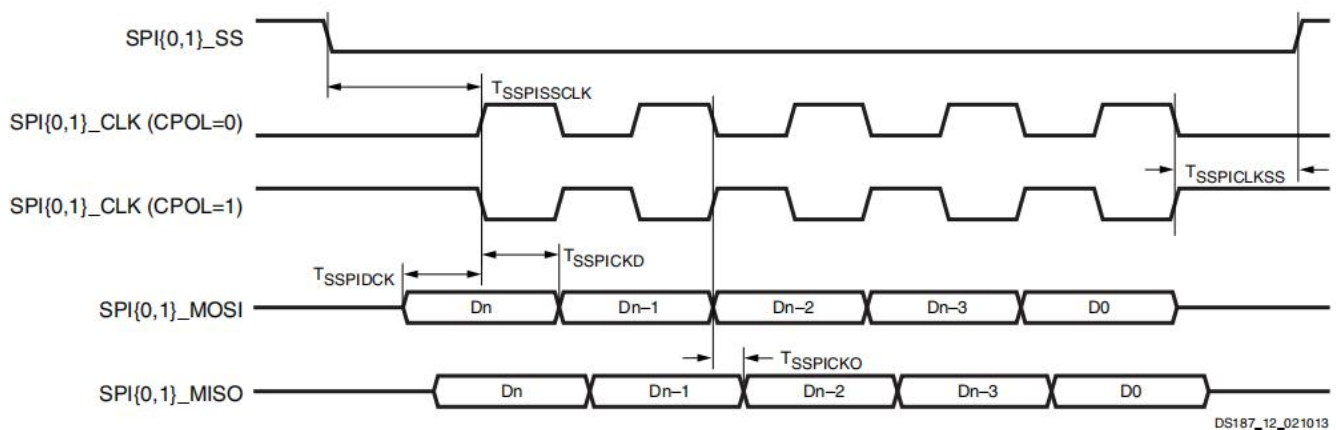


Figure 14: SPI Slave (CPHA = 0) Interface Timing Diagram

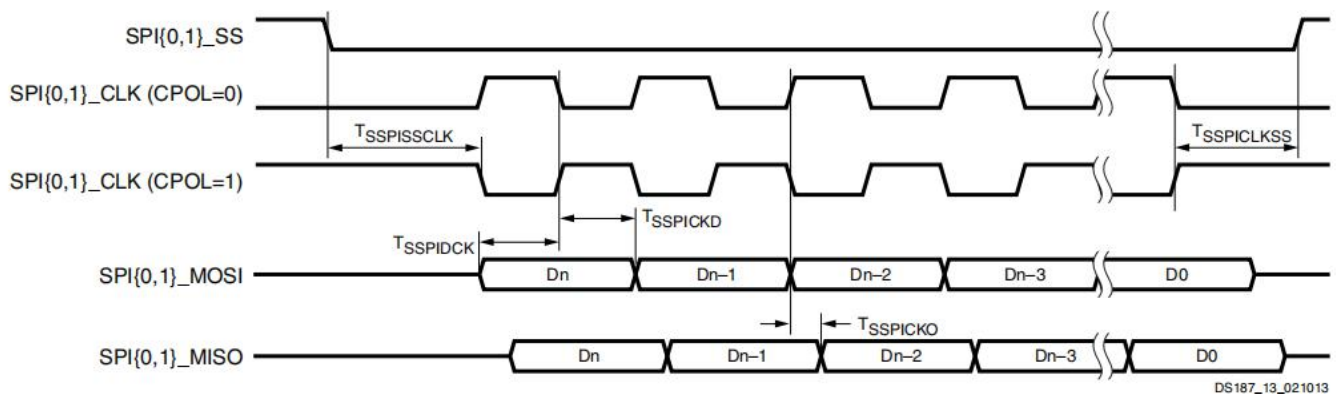


图15: SPI从属服务器 (CPHA = 1) 接口时序图

CAN接口

表43: CAN接口切换特性(1)

符号	描述	最小	最高的	单位
TPWCANRX	最小接收脉冲宽度	1	-	μs
特普康特克斯	最小发射脉冲宽度	1	-	μs
FCAN_REF_CLK	内部来源的CAN参考时钟频率	-	100	兆赫
	外部来源的CAN参考时钟频率	-	40	兆赫

记下

1. 测试条件: LVC MOS33, 慢速旋转速率, 8 mA驱动强度, 15 pF负载。

PJTAG接口

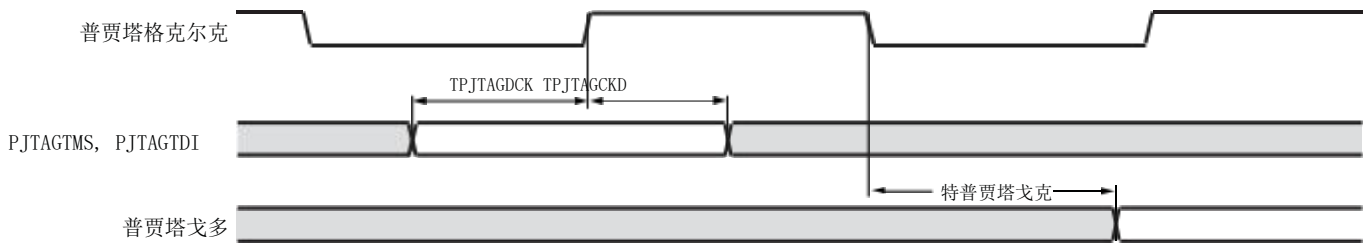
表44: PJTAG接口(1)(2)

符号	描述	最小	最高的	单位
特普贾塔克	PJTAG输入设置时间	2.4	-	ns
特普贾塔格克德	PJTAG输入保持时间	2.0	-	ns
特普贾塔戈克	PJTAG时钟到输出延迟	-	12.5	ns
塔格克尔克	PJTAG时钟频率	-	20	兆赫

记下

1. 测试条件: LVC MOS33, 慢速旋转速率, 8 mA驱动强度, 15 pF负载。

2. 所有的定时值都假定有一个理想的外部输入时钟。实际设计的系统定时预算应该考虑到额外的外部时钟抖动。



DS187_14_021013

图16: PJTAG接口时序图

UART接口

表45: UART接口切换特性(1)

符号	描述	最小	最高的	单位
巴特克斯马克斯	最大传输波特率	-	1	Mb/s
巴德克斯马克斯	最大接收波特率	-	1	Mb/s
FUART_REF_CLK	UART参考时钟频率	-	100	兆赫

记下

1. 测试条件: LVC MOS33, 慢速旋转速率, 8 mA驱动强度, 15 pF负载。

GPIO接口

表46: GPIO银行的切换特性(1)

符号	描述	最小	最高的	单位
tpwpioh	输入高脉冲宽度	$10 \times 1/\text{cpulx}$	-	μs
TPWGPIOL	输入低脉冲宽度	$10 \times 1/\text{cpulx}$	-	μs

记下

1. 中断的脉冲宽度要求。

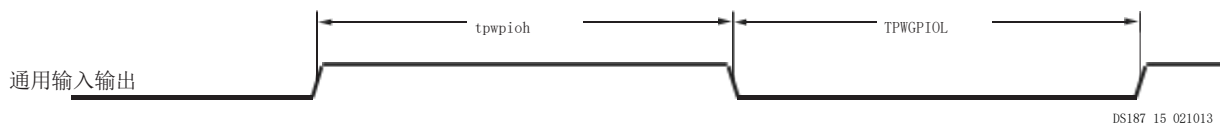


图17: GPIO接口时序图

跟踪接口

表47: 跟踪接口切换特性(1)

符号	描述	最小	最高的	单位
特切科	跟踪时钟到输出延迟, 所有输出	- 1.4	1.5	ns
TDCTCECLK	跟踪时钟占空比	40	60	%
芬特克尔克	跟踪时钟频率	-	80	兆赫

记下

1. 测试条件: LVCMOS25, 快速回转速率, 8 mA驱动强度, 15 pF负载。

三重计时器计数器接口

表48: 三定时器计数器接口切换特性(1)

符号	描述	最小	最高的	单位
tpwtcclk	三定时器计数器输出时钟脉冲宽度	$2 \times 1/\text{cpulx}$	-	ns
弗特利克	三定时器计数器输出时钟频率	-	$\text{cpulx}/4$	兆赫
特西克尔克	三定时器计数器输入时钟高脉冲宽度	$1.5 \times 1/\text{cpulx}$	-	ns
特希尔克尔	三定时器计数器输入时钟低脉冲宽度	$1.5 \times 1/\text{cpulx}$	-	ns
弗特希尔克	三定时器计数器输入时钟频率	-	$\text{cpulx}/3$	兆赫

记下

1. 所有的定时值都假定有一个理想的外部输入时钟。实际设计的系统定时预算应该考虑到额外的外部时钟抖动。

监视器定时器

表49: 监视器定时器切换特性

符号	描述	最小	最高的	单位
fwdclk ⁽¹⁾	看门狗计时器输入时钟频率	-	10	兆赫

记下

1. 仅适用于通过MIO引脚的外部输入时钟。

PL性能特性

本节提供了在PL中实现的一些常见功能和设计的性能特性。这里报告的数字是最坏情况值；它们都被充分描述了。[这些值与第13页交流开关特性相同的指导。](#)

表50: PL网络应用程序的接口性能

描述	速度等级				单位
	-3	-2	-1C/-1I/-1LI	-1Q	
SDR LVDS发射机 (使用电源; DATA_WIDTH = 4至8)	680	680	600	600	Mb/s
DDR LVDS发射机 (使用插入器; DATA_WIDTH = 4至14)	1250	1250	950	950	Mb/s
SDR LVDS接收器 (SFI-4。1) (1)	680	680	600	600	Mb/s
DDR LVDS接收器 (SFI-4。2) (1)	1250	1250	950	950	Mb/s

记下

1. LVDS接收器通常有特定的应用程序，其中特定的动态相对对齐 (DPA) 算法主导确定性性能。

表51: 内存接口中可用的内存接口IP的最大物理接口 (PHY) 速率
发电机 (1) (2)

内存标准	速度等级				单位
	-3	-2	-1C/-1I/-1LI	-1Q	
4: 1内存控制器					
DDR3	1066 (3)	800	800	667	Mb/s
DDR3L	800	800	667	N/A	Mb/s
DDR2	800	800	667	533	Mb/s
2: 1内存控制器					
DDR3	800	700	620	620	Mb/s
DDR3L	800	700	620	N/A	Mb/s
DDR2	800	700	620	533	Mb/s
LPDDR2	667	667	533	400	Mb/s

记下

1. 电压基准跟踪是必需的。有关更多信息，请参见《Zynq7000 AP SoC和7系列设备内存接口解决方案用户指南》(UG586)。
2. 当使用内部电压基准，最大数据速率为800 Mb/s (400 MHz)。
3. XC7Z015、XC7Z020、XA7Z020和XQ7Z020设备的银行13中的最大PHY速率为800 Mb/s。

发送反馈

PL开关特性

IOB垫输入/输出/3状态

表52总结了特定标准的数据输入延迟调整、终端的输出延迟（基于标准）和3状态延迟的值。

- 提奥比被描述为从IOB垫通过输入缓冲器到IOB垫的i-针的延迟。延迟取决于选择IO输入缓冲器的能力。
- 环状被描述为从0针通过IOB垫的输出缓冲器到IOB垫的延迟。延迟取决于选择IO输出缓冲器的能力。
- 蒂奥特普被描述为当3-状态被禁用时，从T大头针通过IOB垫的输出缓冲器到IOB垫的延迟。延迟取决于输出缓冲器的选择能力。
在HR I/O银行中，IN_TERM终止的打开时间总是快于蒂奥特普当使用可插入的引脚时。

表52: IOB高范围 (HR) 开关特性

输入输出标准	提奥比				环状				蒂奥特普				单位
	速度等级				速度等级				速度等级				
	-3	-2	-1C/ -1I/ -1LI	-1Q	-3	-2	-1C/ -1I/ -1LI	-1Q	-3	-2	-1C/ -1I/ -1LI	-1Q	
LVTTL_S4	1.26	1.34	1.41	1.53	3.80	3.93	4.18	4.18	3.82	3.96	4.20	4.20	ns
LVTTL_S8	1.26	1.34	1.41	1.53	3.54	3.66	3.92	3.92	3.56	3.69	3.93	3.93	ns
LVTTL_S12	1.26	1.34	1.41	1.53	3.52	3.65	3.90	3.90	3.54	3.68	3.91	3.91	ns
LVTTL_S16	1.26	1.34	1.41	1.53	3.07	3.19	3.45	3.45	3.09	3.22	3.46	3.46	ns
LVTTL_S24	1.26	1.34	1.41	1.53	3.29	3.41	3.67	3.67	3.31	3.44	3.68	3.68	ns
LVTTL_F4	1.26	1.34	1.41	1.53	3.26	3.38	3.64	3.64	3.28	3.41	3.65	3.65	ns
LVTTL_F8	1.26	1.34	1.41	1.53	2.74	2.87	3.12	3.12	2.76	2.90	3.13	3.13	ns
LVTTL_F12	1.26	1.34	1.41	1.53	2.73	2.85	3.10	3.10	2.74	2.88	3.12	3.12	ns
LVTTL_F16	1.26	1.34	1.41	1.53	2.56	2.68	2.93	2.93	2.57	2.71	2.95	2.95	ns
LVTTL_F24	1.26	1.34	1.41	1.53	2.52	2.65	2.90	3.23	2.54	2.68	2.91	3.24	ns
lvds_25	0.73	0.81	0.88	0.89	1.29	1.41	1.67	1.67	1.31	1.44	1.68	1.68	ns
mini_lvds_25	0.73	0.81	0.88	0.89	1.27	1.40	1.65	1.65	1.29	1.43	1.66	1.66	ns
blvds_25	0.73	0.81	0.88	0.88	1.84	1.96	2.21	2.76	1.85	1.99	2.23	2.77	ns
RSDS_25 点对点	0.73	0.81	0.88	0.89	1.27	1.40	1.65	1.65	1.29	1.43	1.66	1.66	ns
PPDS_25	0.73	0.81	0.88	0.89	1.29	1.41	1.67	1.67	1.31	1.44	1.68	1.68	ns
TMDS_33	0.73	0.81	0.88	0.92	1.41	1.54	1.79	1.79	1.43	1.57	1.80	1.80	ns
PCI33_3	1.24	1.32	1.39	1.52	3.10	3.22	3.48	3.48	3.12	3.25	3.49	3.49	ns
HSUL_12_S	0.67	0.75	0.82	0.88	1.81	1.93	2.18	2.18	1.82	1.96	2.20	2.20	ns
HSUL_12_F	0.67	0.75	0.82	0.88	1.29	1.41	1.67	1.67	1.31	1.44	1.68	1.68	ns
diff_hsul_12_s	0.68	0.76	0.83	0.86	1.81	1.93	2.18	2.18	1.82	1.96	2.20	2.20	ns
diff_hsul_12_f	0.68	0.76	0.83	0.86	1.29	1.41	1.67	1.67	1.31	1.44	1.68	1.68	ns
mobile_dds_s	0.76	0.84	0.91	0.91	1.68	1.80	2.06	2.06	1.70	1.83	2.07	2.07	ns
mobile_dds_f	0.76	0.84	0.91	0.91	1.38	1.51	1.76	1.76	1.40	1.54	1.77	1.77	ns
diff_mobile_dds_s	0.70	0.78	0.85	0.85	1.70	1.82	2.07	2.07	1.71	1.85	2.09	2.09	ns
diff_mobile_dds_f	0.70	0.78	0.85	0.85	1.45	1.57	1.82	1.82	1.46	1.60	1.84	1.84	ns
hstl_i_s	0.67	0.75	0.82	0.86	1.62	1.74	1.99	1.99	1.63	1.77	2.01	2.01	ns
HSTL_II_S	0.65	0.73	0.80	0.86	1.41	1.54	1.79	1.79	1.43	1.57	1.80	1.81	ns

表52: IOB高范围 (HR) 开关特性 (续)

输入输出标准	提奥比				环状				蒂奥特普				单位
	速度等级				速度等级				速度等级				
	-3	-2	-1C/-1I/-1LI	-1Q	-3	-2	-1C/-1I/-1LI	-1Q	-3	-2	-1C/-1I/-1LI	-1Q	
hstl_i_18_s	0.67	0.75	0.82	0.88	1.29	1.41	1.67	1.67	1.31	1.44	1.68	1.68	ns
HSTL_II_18_S	0.66	0.75	0.81	0.88	1.41	1.54	1.79	1.79	1.43	1.57	1.80	1.80	ns
diff_hstl_i_s	0.68	0.76	0.83	0.86	1.59	1.71	1.96	1.96	1.60	1.74	1.98	1.98	ns
diff_hstl_ii_s	0.68	0.76	0.83	0.86	1.51	1.63	1.88	1.88	1.52	1.66	1.90	1.90	ns
diff_hstl_i_18_s	0.71	0.79	0.86	0.86	1.38	1.51	1.76	1.76	1.40	1.54	1.77	1.77	ns
diff_hstl_ii_18_s	0.70	0.78	0.85	0.88	1.46	1.58	1.84	1.84	1.48	1.61	1.85	1.85	ns
hstl_i_f	0.67	0.75	0.82	0.86	1.10	1.22	1.48	1.49	1.12	1.25	1.49	1.51	ns
HSTL_II_F	0.65	0.73	0.80	0.86	1.12	1.24	1.49	1.49	1.13	1.27	1.51	1.51	ns
hstl_i_18_f	0.67	0.75	0.82	0.88	1.13	1.26	1.51	1.54	1.15	1.29	1.52	1.56	ns
HSTL_II_18_F	0.66	0.75	0.81	0.88	1.12	1.24	1.49	1.51	1.13	1.27	1.51	1.52	ns
diff_hstl_i_f	0.68	0.76	0.83	0.86	1.18	1.30	1.56	1.56	1.20	1.33	1.57	1.57	ns
diff_hstl_ii_f	0.68	0.76	0.83	0.86	1.21	1.33	1.59	1.59	1.23	1.36	1.60	1.60	ns
diff_hstl_i_18_f	0.71	0.79	0.86	0.86	1.21	1.33	1.59	1.59	1.23	1.36	1.60	1.60	ns
diff_hstl_ii_18_f	0.70	0.78	0.85	0.88	1.21	1.33	1.59	1.59	1.23	1.36	1.60	1.60	ns
LVCOS33_S4	1.26	1.34	1.41	1.52	3.80	3.93	4.18	4.18	3.82	3.96	4.20	4.20	ns
LVCOS33_S8	1.26	1.34	1.41	1.52	3.52	3.65	3.90	3.90	3.54	3.68	3.91	3.91	ns
LVCOS33_S12	1.26	1.34	1.41	1.52	3.09	3.21	3.46	3.46	3.10	3.24	3.48	3.48	ns
LVCOS33_S16	1.26	1.34	1.41	1.52	3.40	3.52	3.77	3.78	3.42	3.55	3.79	3.79	ns
LVCOS33_F4	1.26	1.34	1.41	1.52	3.26	3.38	3.64	3.64	3.28	3.41	3.65	3.65	ns
LVCOS33_F8	1.26	1.34	1.41	1.52	2.74	2.87	3.12	3.12	2.76	2.90	3.13	3.13	ns
LVCOS33_F12	1.26	1.34	1.41	1.52	2.56	2.68	2.93	2.93	2.57	2.71	2.95	2.95	ns
LVCOS33_F16	1.26	1.34	1.41	1.52	2.56	2.68	2.93	3.06	2.57	2.71	2.95	3.07	ns
LVCOS25_S4	1.12	1.20	1.27	1.38	3.13	3.26	3.51	3.51	3.15	3.29	3.52	3.52	ns
LVCOS25_S8	1.12	1.20	1.27	1.38	2.88	3.01	3.26	3.26	2.90	3.04	3.27	3.27	ns
LVCOS25_S12	1.12	1.20	1.27	1.38	2.48	2.60	2.85	2.85	2.49	2.63	2.87	2.87	ns
LVCOS25_S16	1.12	1.20	1.27	1.38	2.82	2.94	3.20	3.20	2.84	2.97	3.21	3.21	ns
LVCOS25_F4	1.12	1.20	1.27	1.38	2.74	2.87	3.12	3.12	2.76	2.90	3.13	3.13	ns
LVCOS25_F8	1.12	1.20	1.27	1.38	2.18	2.30	2.56	2.56	2.20	2.33	2.57	2.57	ns
LVCOS25_F12	1.12	1.20	1.27	1.38	2.16	2.29	2.54	2.54	2.18	2.32	2.55	2.56	ns
LVCOS25_F16	1.12	1.20	1.27	1.38	2.01	2.13	2.39	2.63	2.03	2.16	2.40	2.65	ns
LVCOS18_S4	0.74	0.83	0.89	0.97	1.62	1.74	1.99	1.99	1.63	1.77	2.01	2.01	ns
LVCOS18_S8	0.74	0.83	0.89	0.97	2.18	2.30	2.56	2.56	2.20	2.33	2.57	2.57	ns
LVCOS18_S12	0.74	0.83	0.89	0.97	2.18	2.30	2.56	2.56	2.20	2.33	2.57	2.57	ns
LVCOS18_S16	0.74	0.83	0.89	0.97	1.52	1.65	1.90	1.90	1.54	1.68	1.91	1.91	ns
LVCOS18_S24	0.74	0.83	0.89	0.97	1.60	1.72	1.98	2.40	1.62	1.75	1.99	2.41	ns
LVCOS18_F4	0.74	0.83	0.89	0.97	1.45	1.57	1.82	1.82	1.46	1.60	1.84	1.84	ns
LVCOS18_F8	0.74	0.83	0.89	0.97	1.68	1.80	2.06	2.06	1.70	1.83	2.07	2.07	ns
LVCOS18_F12	0.74	0.83	0.89	0.97	1.68	1.80	2.06	2.06	1.70	1.83	2.07	2.07	ns
LVCOS18_F16	0.74	0.83	0.89	0.97	1.40	1.52	1.77	1.78	1.42	1.55	1.79	1.79	ns

发送反馈

表52: IOB高范围 (HR) 开关特性 (续)

输入输出标准	提奥比				环状				蒂奥特普				单位
	速度等级				速度等级				速度等级				
	-3	-2	-1C/-1I/-1LI	-1Q	-3	-2	-1C/-1I/-1LI	-1Q	-3	-2	-1C/-1I/-1LI	-1Q	
LVC MOS18_F24	0.74	0.83	0.89	0.97	1.34	1.46	1.71	2.28	1.35	1.49	1.73	2.29	ns
LVC MOS15_S4	0.77	0.86	0.93	0.96	2.05	2.18	2.43	2.43	2.07	2.21	2.45	2.45	ns
LVC MOS15_S8	0.77	0.86	0.93	0.96	2.09	2.21	2.46	2.46	2.10	2.24	2.48	2.48	ns
LVC MOS15_S12	0.77	0.86	0.93	0.96	1.59	1.71	1.96	1.96	1.60	1.74	1.98	1.98	ns
LVC MOS15_S16	0.77	0.86	0.93	0.96	1.59	1.71	1.96	1.96	1.60	1.74	1.98	1.98	ns
LVC MOS15_F4	0.77	0.86	0.93	0.96	1.85	1.97	2.23	2.23	1.87	2.00	2.24	2.24	ns
LVC MOS15_F8	0.77	0.86	0.93	0.96	1.60	1.72	1.98	1.98	1.62	1.75	1.99	1.99	ns
LVC MOS15_F12	0.77	0.86	0.93	0.96	1.35	1.47	1.73	1.73	1.37	1.50	1.74	1.74	ns
LVC MOS15_F16	0.77	0.86	0.93	0.96	1.34	1.46	1.71	2.07	1.35	1.49	1.73	2.09	ns
LVC MOS12_S4	0.87	0.95	1.02	1.19	2.57	2.69	2.95	2.95	2.59	2.72	2.96	2.96	ns
LVC MOS12_S8	0.87	0.95	1.02	1.19	2.09	2.21	2.46	2.46	2.10	2.24	2.48	2.48	ns
LVC MOS12_S12	0.87	0.95	1.02	1.19	1.79	1.91	2.17	2.17	1.81	1.94	2.18	2.18	ns
LVC MOS12_F4	0.87	0.95	1.02	1.19	1.98	2.10	2.35	2.35	1.99	2.13	2.37	2.37	ns
LVC MOS12_F8	0.87	0.95	1.02	1.19	1.54	1.66	1.92	1.92	1.56	1.69	1.93	1.93	ns
LVC MOS12_F12	0.87	0.95	1.02	1.19	1.38	1.51	1.76	1.76	1.40	1.54	1.77	1.77	ns
SSTL135_S	0.67	0.75	0.82	0.88	1.35	1.47	1.73	1.73	1.37	1.50	1.74	1.74	ns
SSTL15_S	0.60	0.68	0.75	0.75	1.30	1.43	1.68	1.71	1.32	1.46	1.69	1.73	ns
sstl18_i_s	0.67	0.75	0.82	0.86	1.67	1.79	2.04	2.04	1.68	1.82	2.06	2.06	ns
SSTL18_II_S	0.67	0.75	0.82	0.88	1.31	1.43	1.68	1.68	1.32	1.46	1.70	1.70	ns
diff_sstl135_s	0.68	0.76	0.83	0.88	1.35	1.47	1.73	1.73	1.37	1.50	1.74	1.74	ns
diff_sstl15_s	0.68	0.76	0.83	0.88	1.30	1.43	1.68	1.71	1.32	1.46	1.69	1.73	ns
diff_sstl18_i_s	0.71	0.79	0.86	0.88	1.68	1.80	2.06	2.06	1.70	1.83	2.07	2.07	ns
diff_sstl18_ii_s	0.71	0.79	0.86	0.88	1.38	1.51	1.76	1.76	1.40	1.54	1.77	1.77	ns
SSTL135_F	0.67	0.75	0.82	0.88	1.12	1.24	1.49	1.49	1.13	1.27	1.51	1.51	ns
SSTL15_F	0.60	0.68	0.75	0.75	1.07	1.19	1.45	1.45	1.09	1.22	1.46	1.46	ns
sstl18_i_f	0.67	0.75	0.82	0.86	1.12	1.24	1.49	1.53	1.13	1.27	1.51	1.54	ns
SSTL18_II_F	0.67	0.75	0.82	0.88	1.12	1.24	1.49	1.51	1.13	1.27	1.51	1.52	ns
diff_sstl135_f	0.68	0.76	0.83	0.88	1.12	1.24	1.49	1.49	1.13	1.27	1.51	1.51	ns
diff_sstl15_f	0.68	0.76	0.83	0.88	1.07	1.19	1.45	1.45	1.09	1.22	1.46	1.46	ns
diff_sstl18_i_f	0.71	0.79	0.86	0.88	1.23	1.35	1.60	1.60	1.24	1.38	1.62	1.62	ns
diff_sstl18_ii_f	0.71	0.79	0.86	0.88	1.21	1.33	1.59	1.59	1.23	1.36	1.60	1.60	ns

表53指定了的值蒂奥特夫斯和可溶解的. 蒂奥特夫斯被描述为当3状态启用时, 通过IOB垫的输出缓冲区到IOB垫的延迟(i. e., 一个高阻抗状态)。可溶解的被描述为从可禁用到0输出的IOB延迟。在HR I/O银行中, 内部IN_TERM终止关闭时间总是快于蒂奥特夫斯当使用可插入的引脚时。

表53: IOB三态输出开关特性

符号	描述	速度等级				单位
		-3	-2	-1C/-1I/-1LI	-1Q	
蒂奥特夫斯	T输入到垫高阻抗	2.06	2.19	2.37	2.37	ns
可溶解的	IBUF开启时间从可禁用到0输出	2.11	2.30	2.60	2.60	ns

I/O标准调整测量方法

输入延迟测量

表54显示了用于测量输入延迟的测试设置参数。

表54: 输入延迟测量方法

描述	输入输出标准属性	v _l (1) (2)	v _h (1) (2)	VMEAS (1) (4) (6)	电压基准 (1) (3) (5)
LVCOS, 1.2V	lvcmo12	0.1	1.1	0.6	-
LVCOS, 1.5V	lvcmo15	0.1	1.4	0.75	-
LVCOS, 1.8V	lvcmo18	0.1	1.7	0.9	-
LVCOS, 2.5V	LVCOS25	0.1	2.4	1.25	-
LVCOS, 3.3V	lvcmo33	0.1	3.2	1.65	-
LVTTL, 3.3V	低电压晶体管晶体管逻辑	0.1	3.2	1.65	-
mobile_dds, 1.8v	mobile_dds	0.1	1.7	0.9	-
PCI33, 3.3V	PCI33_3	0.1	3.2	1.65	-
HSTL (高速收发器逻辑), I级, 1.2V	hstl_i_12	电压基准 - 0.5	电压基准+ 0.5	电压基准	0.60
HSTL, I和II类, 1.5V	hstl_i, hstl_ii	电压基准 - 0.65	电压基准+ 0.65	电压基准	0.75
HSTL, I和II类, 1.8V	hstl_i_18, hstl_ii_18	电压基准 - 0.8	电压基准+ 0.8	电压基准	0.90
HSUL (高速无端接逻辑), 1.2V	HSUL_12	电压基准 - 0.5	电压基准+ 0.5	电压基准	0.60
SSTL (插根终端收发器逻辑), 1.2V	SSTL12	电压基准 - 0.5	电压基准+ 0.5	电压基准	0.60
SSTL, 1.35V	SSTL135, SSTL135_R	电压基准 - 0.575	电压基准+ 0.575	电压基准	0.675
SSTL, 1.5V	SSTL15, SSTL15_R	电压基准 - 0.65	电压基准+ 0.65	电压基准	0.75
SSTL, I和II类, 1.8V	sstl18_i, sstl18_ii	电压基准 - 0.8	电压基准+ 0.8	电压基准	0.90
diff_mobile_dds, 1.8v	diff_mobile_dds	0.9 - 0.125	0.9 + 0.125	0(6)	-
DIFF_HSTL, I类, 1.2V	diff_hstl_i_12	0.6 - 0.125	0.6 + 0.125	0(6)	-
DIFF_HSTL, I和II类, 1.5V	diff_hstl_i, diff_hstl_ii	0.75 - 0.125	0.75 + 0.125	0(6)	-
DIFF_HSTL, I和II类, 1.8V	diff_hstl_i_18, diff_hstl_ii_18	0.9 - 0.125	0.9 + 0.125	0(6)	-
diff_hsul, 1.2v	diff_hsul_12	0.6 - 0.125	0.6 + 0.125	0(6)	-
diff_sstl, 1.2v	diff_sstl12	0.6 - 0.125	0.6 + 0.125	0(6)	-
diff_sstl135 / diff_sstl135_r, 1.35v	diff_sstl135, diff_sstl135_r	0.675 - 0.125	0.675 + 0.125	0(6)	-

diff_sst115 / diff_sst115_r , 1.5v	diff_sst115 , diff_sst115_r	0.75 - 0.125	0.75 + 0.125	0(6)	-
diff_sst118_i / diff_sst118_ii , 1.8v	diff_sst118_i , diff_sst118_ii	0.9 - 0.125	0.9 + 0.125	0(6)	-
LVDS (低压差动信号) , 1.8V	低压差动小型计算机系统 接口	0.9 - 0.125	0.9 + 0.125	0(6)	-

发送反馈

表54: 输入延迟测量方法 (续)

描述	输入输出标准属性	v1 (1) (2)	vh (1) (2)	VMEAS (1) (4) (6)	电压基准 (1) (3) (5)
lvds_25 , 2.5v	lvds_25	1.2 - 0.125	1.2 + 0.125	0(6)	-
blvds_25 , 2.5v	blvds_25	1.25 - 0.125	1.25 + 0.125	0(6)	-
mini_lvds_25 , 2.5v	mini_lvds_25	1.25 - 0.125	1.25 + 0.125	0(6)	-
PPDS_25	PPDS_25	1.25 - 0.125	1.25 + 0.125	0(6)	-
RSDS_25	RSDS_25	1.25 - 0.125	1.25 + 0.125	0(6)	-
TMDS_33	TMDS_33	3 - 0.125	3 + 0.125	0(6)	-

记下

1. 对于相同电压的LVCMOS标准, LVDCI的输入延迟测量方法参数相同。HSLVDCI的输入延迟测量方法参数与相同电压的HSTL_II标准值的参数相同。所有其他DCI标准的参数与相应的非DCI标准的参数相同。
2. 输入波形开关之间v1和vh.
3. 测量在典型、最小和最大电压基准价值报告的延迟反映了这些测量结果的最坏情况。电压基准列出的值是典型的。
4. 开始测量的输入电压水平。
5. 这是一个输入电压参考, 与电压基准/VMEASIBIS模型中发现和/或图18中提到的参数。
6. 所给定的值是差分输入电压。

输出延迟测量

输出延迟用较短的输出轨迹来测量的。所有测试均采用标准终止试验。轨迹的传播延迟是分别表征的, 并从最终测量中减去, 因此不包括在图18和图19所示的广义测试设置中。

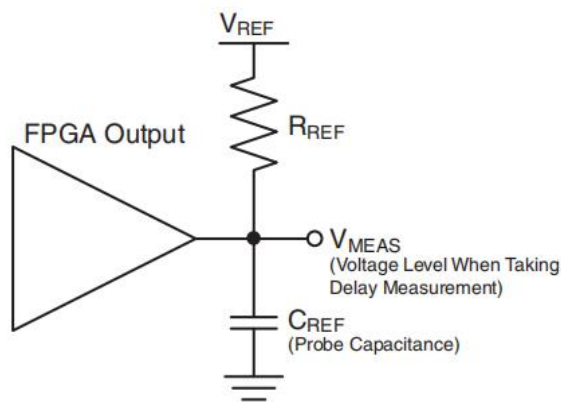
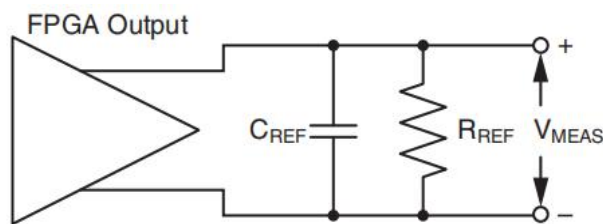


图18: 单端测试设置



DS187_21_090914

图19: 差分测试设置

参数VREF, ref, 互相参照和VMEAS充分描述每个输入/输出标准的测试条件。在任何给定的应用中, 通过IBIS仿真可以获得最准确的传播延迟预测:

1. 使用表55中的值模拟所选择的输出驱动程序到广义测试设置中。
2. 将时间记录到VMEAS。
3. 使用适当的IBIS模型或电容值来表示负载, 模拟所选择的输出驱动程序到实际的PCB跟踪和负载中。
4. 将时间记录到VMEAS。
5. 比较步骤2和步骤4的结果。延迟的增加或减少产生了PCB跟踪的实际传播延迟。

表55: 输出延迟测量方法

描述	输入输出标准属性	参考 (Ω)	互相参照 (1) (pF)	VMEAS (V)	VREF (V)
LVC MOS, 1.2V	lvcmo12	1M	0	0.6	0
LVC MOS/LVDCI/HSLVDCI, 1.5V	LVC MOS15, LVDCI_15, HSLVDCI_15	1M	0	0.75	0
LVC MOS/LVDCI/HSLVDCI, 1.8V	LVC MOS18, LVDCI_15, HSLVDCI_18	1M	0	0.9	0
LVC MOS, 2.5V	LVC MOS25	1M	0	1.25	0
LVC MOS, 3.3V	lvcmo33	1M	0	1.65	0
LVTTL, 3.3V	低电压晶体管晶体管逻辑	1M	0	1.65	0
PCI33, 3.3V	PCI33_3	25	10	1.65	0
HSTL (高速收发器逻辑), I级, 1.2V	hstl_i_12	50	0	电压基准	0.6
HSTL, I类, 1.5V	hstl_i	50	0	电压基准	0.75
HSTL, II级, 1.5V	HSTL_II	25	0	电压基准	0.75
HSTL, I类, 1.8V	hstl_i_18	50	0	电压基准	0.9
HSTL, II级, 1.8V	HSTL_II_18	25	0	电压基准	0.9
HSUL (高速无端接逻辑), 1.2V	HSUL_12	50	0	电压基准	0.6
SSTL12, 1.2V	SSTL12	50	0	电压基准	0.6
SSTL135/SSTL135_R, 1.35V	SSTL135, SSTL135_R	50	0	电压基准	0.675
SSTL15/SSTL15_R, 1.5V	SSTL15, SSTL15_R	50	0	电压基准	0.75
SSTL (存根系列终止逻辑), I级和II级, 1.8V	sstl18_i, sstl18_ii	50	0	电压基准	0.9
diff_mobile_dds, 1.8v	diff_mobile_dds	50	0	电压基准	0.9
DIFF_HSTL, I类, 1.2V	diff_hstl_i_12	50	0	电压基准	0.6
DIFF_HSTL, I和II类, 1.5V	diff_hstl_i, diff_hstl_ii	50	0	电压基准	0.75
DIFF_HSTL, I和II类, 1.8V	diff_hstl_i_18, diff_hstl_ii_18	50	0	电压基准	0.9
diff_hsul_12, 1.2v	diff_hsul_12	50	0	电压基准	0.6
diff_sstl12, 1.2v	diff_sstl12	50	0	电压基准	0.6
diff_sstl135 / diff_sstl135_r, 1.35v	diff_sstl135, diff_sstl135_r	50	0	电压基准	0.675
diff_sstl15 / diff_sstl15_r, 1.5v	diff_sstl15, diff_sstl15_r	50	0	电压基准	0.75
DIFF_SSTL18, I和II类, 1.8V	diff_sstl18_i, diff_sstl18_ii	50	0	电压基准	0.9
LVDS (低压差动信号), 1.8V	低压差动小型计算机系统接口	100	0	0(2)	0
等级, 2.5V	lvds_25	100	0	0(2)	0
BLVDS (母线LVDS), 2.5V	blvds_25	100	0	0(2)	0
迷你LVDS, 2.5V	mini_lvds_25	100	0	0(2)	0
PPDS_25	PPDS_25	100	0	0(2)	0

表55: 输出延迟测量方法 (续)

描述	输入输出标准属性	参考 (Ω)	互相参照 (1) (pF)	VMEAS (V)	VREF (V)
RSDS_25	RSDS_25	100	0	0(2)	0
TMSD_33	TMSD_33	50	0	0(2)	3.3

记下

- 互相参照是探头的电容, 名义上为0 pF。
- 所给出的值是差分输出电压。

输入/输出逻辑切换特性

表56: ILOGIC开关特性

符号	描述	速度等级				单位
		-3	-2	-1C/-1I/-1LI	-1Q	
设置/保持						
格1ck/ 粘合剂1	CE1引脚设置/保持关于CLK	0.48/0.02	0.54/0.02	0.76/0.02	0.76/0.02	ns
提斯克/ 提克斯尔	针对CLK设置SR引脚	0.60/0.01	0.70/0.01	1.13/0.01	1.13/0.01	ns
蒂科克/ 蒂奥克德	D引脚设置/保持	0.01/0.27	0.01/0.29	0.01/0.33	0.01/0.33	ns
蒂多克德/ 蒂奥克德	DDLJ按CLK设置/保持 (使用IDELAY)	0.02/0.27	0.02/0.29	0.02/0.33	0.02/0.33	ns
组合的						
提迪	D引脚到O引脚的传播延迟, 无延迟	0.11	0.11	0.13	0.13	ns
泰迪	DDLJ引脚到O引脚传播延迟 (使用IDELAY)	0.11	0.12	0.14	0.14	ns
顺序延迟						
蒂德洛	D销到Q1销使用触发器作为门锁, 没有延迟	0.41	0.44	0.51	0.51	ns
蒂德洛	DDLJ引脚到Q1引脚使用触发器作为锁扣 (使用IDELAY)	0.41	0.44	0.51	0.51	ns
蒂克克	CLK到Q输出	0.53	0.57	0.66	0.66	ns
总需要量_ILOGIC	SR引脚至OQ/TQ输出	0.96	1.08	1.32	1.32	ns
TGSRQ_ILOGIC	全局设置/重置为Q输出	7.60	7.60	10.51	10.51	ns
设置/重置						
TRPW_ILOGIC	最小脉冲宽度, SR输入	0.61	0.72	0.72	0.72	ns, 最小值

表57: OLOGIC开关特性

符号	描述	速度等级				单位
		-3	-2	-1C/-1I/-1LI	-1Q	
设置/保持						
托克/ 托克德	D1/D2引脚设置/保持于CLK	0.67/ - 0.11	0.71/ - 0.11	0.84/ - 0.11	0.84/ - 0.06	ns
图塞克/ 托克斯	OCE引脚设置/保持与CLK有关	0.32/0.58	0.34/0.58	0.51/0.58	0.51/0.58	ns
托斯克/ 托克斯尔	针对CLK设置SR引脚	0.37/0.21	0.44/0.21	0.80/0.21	0.80/0.21	ns
托克/ 托克特	T1/T2引脚设置/保持相对于CLK	0.69/ - 0.14	0.73/ - 0.14	0.89/ - 0.14	0.89/ - 0.11	ns

发送反馈

表57: OLOGIC开关特性 (续)

符号	描述	速度等级				单位
		-3	-2	-1C/-1I/-1LI	-1Q	
托特切克/ 托克切斯	TCE引脚设置/保持相对于CLK	0.32/0.01	0.34/0.01	0.51/0.01	0.51/0.01	ns
组合的						
托德克	D1到OQ输出或T1到TQ输出	0.83	0.96	1.16	1.16	ns
顺序延迟						
托克克	CLK到OQ/TQ出	0.47	0.49	0.56	0.56	ns
总需要量_ologic	SR引脚至OQ/TQ输出	0.72	0.80	0.95	0.95	ns
tgsrq_ologic	全局设置/重置为Q输出	7.60	7.60	10.51	10.51	ns
设置/重置						
trpw_ologic	最小脉冲宽度, SR输入	0.64	0.74	0.74	0.74	ns, 最小值

输入序列化/反序列化器切换特性

表58: 传感器开关特性

符号	描述	速度等级				单位
		-3	-2	-1C/-1I/-1LI	-1Q	
控制线的设置/保持						
蒂斯克_BITSLLIP/ TISCK_BITSLLIP	位滑销的设置/固定与CLKDIV有关	0.01/0.14	0.02/0.15	0.02/0.17	0.02/0.17	ns
蒂斯克_CE/ 蒂斯克克_CE ⁽²⁾	CLK的CE销设置 (用于CE1)	0.45/ - 0.01	0.50/ - 0.01	0.72/ - 0.01	0.72/ - 0.01	ns
蒂斯克_CE2/ 蒂斯克克_CE2 ⁽²⁾	CE引脚设置/保持于CLKDIV (用于CE2)	- 0.10/0.33	- 0.10/0.36	- 0.10/0.40	- 0.10/0.40	ns
数据行的设置/保持						
蒂斯德克_D/TISCKD_D	关于CLK	- 0.02/0.12	- 0.02/0.14	- 0.02/0.17	- 0.02/0.17	ns
蒂斯德克_DDLY/ TISCKD_DDLY	DDL Y引脚设置/保持相对于CLK (使用IDELAY) (1)	- 0.02/0.12	- 0.02/0.14	- 0.02/0.17	- 0.02/0.17	ns
蒂斯德克_D_DDR/ TISCKD_D_DDR	在DDR模式下的D引脚设置/保持	- 0.02/0.12	- 0.02/0.14	- 0.02/0.17	- 0.02/0.17	ns
蒂斯德克 _DDL Y_DDR/TISCKD_DDL Y_DDR	DDR模式下 (使用IDELAY) (1)	0.12/0.12	0.14/0.14	0.17/0.17	0.17/0.17	ns
顺序延迟						
TISCK0_Q	CLKDIV到Q销输出	0.53	0.54	0.66	0.66	ns
传播延迟						
tisdo_do	D输入到DO输出引脚	0.11	0.11	0.13	0.13	ns

记下

1. 以0抽头值记录。
2. 蒂斯克_CE2和蒂斯克克_CE2报告为蒂斯克_ce/蒂斯克克_CE在计时报告中。

发送反馈

输出序列化/反序列化器切换特性

表59: 电源开关特性

符号	描述	速度等级				单位
		-3	-2	-1C/-1I/-1LI	-1Q	
设置/保持						
托斯克_D/ TOSCKD_D	D输入设置/保持相对于CLKDIV	0.42/0.03	0.45/0.03	0.63/0.03	0.63/0.08	ns
托斯克_T/ 托斯卡德_T ⁽¹⁾	关于CLK的T输入设置/保持	0.69/ - 0.13	0.73/ - 0.13	0.88/ - 0.13	0.88/ - 0.13	ns
托斯克_T2/ 托斯卡德_T2 ⁽¹⁾	关于CLKDIV的T输入设置/保持	0.31/ - 0.13	0.34/ - 0.13	0.39/ - 0.13	0.39/ - 0.13	ns
托斯克_OCE/ TOSCKC_OCE	OCE输入设置/保持关于CLK	0.32/0.58	0.34/0.58	0.51/0.58	0.51/0.58	ns
TOSCKC_S	关于CLKDIV的SR (重置) 输入设置	0.47	0.52	0.85	0.85	ns
托斯克_TCE/ TOSCKC_TCE	TCE输入设置/保持相对于CLK	0.32/0.01	0.34/0.01	0.51/0.01	0.51/0.10	ns
顺序延迟						
TOSCKO_OQ	从CLK到OQ	0.40	0.42	0.48	0.48	ns
TOSCKO_TQ	从CLK到TQ	0.47	0.49	0.56	0.56	ns
组合的						
TOSDO_TTQ	T输入到TQ输出	0.83	0.92	1.11	1.11	ns

记下

1. 托斯克_T2和托斯卡德_T2报告为托斯克_T/TOSCKD_T在计时报告中。

输入/输出延迟切换特性

表60: 输入延迟切换特性

符号	描述	速度等级				单位
		-3	-2	-1C/-1I/-1LI	-1Q	
海德雷克特尔						
TDLYCCO_RDY	重置为准备就绪	3.67	3.67	3.67	3.67	μs
FIDELAYCTRL_REF	属性REFCLK的频率为= 200。0(1)	200	200	200	200	兆赫
	属性REFCLK的频率为= 300。0(1)	300	300	N/A	N/A	兆赫
	属性REFCLK的频率为= 400。0(1)	400	400	N/A	N/A	兆赫
IDELAYCTRL_ref_precision	REFCLK精度	±10	±10	±10	±10	兆赫
TIDELAYCTRL_RPW	最小复位脉冲宽度	59.28	59.28	59.28	59.28	ns
伊德莱						
分层分辨率	IDELAY链延迟分辨率	1/(32 x 2 x F参考文献)				μs

表60: 输入延迟切换特性 (续)

符号	描述		速度等级				单位
			-3	-2	-1C/-1I/-1LI	-1Q	
蒂德雷帕特_JIT和 TODELAYPAT_JIT	在时钟模式的延迟链中, 与模式相关的周期抖动。(2)		0	0	0	0	每点击ps
	随机数据模式的延迟链中的模式相关周期抖动 (PBS 23) (3)	REFCLK 200 MHz	±5	±5	±5	±5	每点击ps
		REFCLK 300兆赫	±3.33	±3.33	±3.33	N/A	每点击ps
		REFCLK 400兆赫	±2.50	±2.50	N/A	N/A	每点击ps
	随机数据模式的延迟链中的模式相关周期抖动 (PBS 23) (4)	REFCLK 200 MHz	±9.0	±9.0	±9.0	±9.0	每点击ps
		REFCLK 300兆赫	±6.0	±6.0	±6.0	N/A	每点击ps
REFCLK 400兆赫		±4.5	±4.5	N/A	N/A	每点击ps	
最大时滞时间	CLK输入到IDELAY的最大频率		680.00	680.00	600.00	600.00	兆赫
蒂克_CE/蒂德克克_CE	CE引脚设置/保持相对于C的IDELAY		0.12/0.11	0.16/0.13	0.21/0.16	0.21/0.16	ns
蒂克公司/蒂德克克公司	公司引脚设置/保持相对于C的IDELAY		0.12/0.16	0.14/0.18	0.16/0.22	0.16/0.23	ns
蒂克_RST/蒂德克克_RST	RST引脚设置/保持相对于C的IDELAY		0.15/0.09	0.16/0.11	0.18/0.14	0.18/0.14	ns
TIDDO_IDATAIN	通过IDELAY传播延迟		注5	注5	注5	注5	ps

记下

1. 在200MHz 78ps=78ps、300 MHz = 52 ps和400 MHz = 39 ps时的平均抽头延迟。
2. 当HIGH_PERFORMANCE模式设置为TRUE或FALSE时。
3. 当HIGH_PERFORMANCE模式设置为TRUE时。
4. 当HIGH_PERFORMANCE模式设置为FALSE时。
5. 延迟取决于IDELAY的点击设置。有关实际值, 请查看计时报告。

表61: IO_FIFO开关特性

符号	描述	速度等级				单位
		-3	-2	-1C/-1I/-1LI	-1Q	
IO_FIFO时钟输出延迟						
toffcko_do	RDCLK到Q输出	0.55	0.60	0.68	0.68	ns
tcko_flags	时钟到IO_FIFO标志	0.55	0.61	0.77	0.77	ns
设置/保持						
TCCK_数据处理程序_D	D输入到WRCLK	0.47/0.02	0.51/0.02	0.58/0.02	0.58/0.18	ns
蒂夫克_WREN/ tiffckc_wren	WREN到WRCLK	0.42/ - 0.01	0.47/ - 0.01	0.53/ - 0.01	0.53/ - 0.01	ns
托夫克_RDEN/ TOFFCKC_RDEN	RDEN到RDCLK	0.53/0.02	0.58/0.02	0.66/0.02	0.66/0.02	ns
最小脉冲宽度						
tpwh_io_fifo	重置, RDCLK, WRCLK	1.62	2.15	2.15	2.15	ns
tpwl_io_fifo	重置, RDCLK, WRCLK	1.62	2.15	2.15	2.15	ns
最大频率						
FMAX	RDCLK和WRCLK	266.67	200.00	200.00	200.00	兆赫

发送反馈

CLB开关特性

表62: CLB开关特性

符号	描述	速度等级				单位
		-3	-2	-1C/-1I/-1LI	-1Q	
组合延迟						
技术与工业协调办公室	A-DnLUT地址	0.10	0.11	0.13	0.13	ns, 最大值
技术与工业协调办公室_2	一个-Dn到AMUX/CMUX的LUT地址	0.27	0.30	0.36	0.36	ns, 最大值
技术与工业协调办公室_3	到BMUX_A的一个-DnLUT地址	0.42	0.46	0.55	0.55	ns, 最大值
泰托	A-DQ输出的一个dn输入	0.94	1.05	1.27	1.27	ns, 最大值
类群	AX输入到AMUX输出	0.62	0.69	0.84	0.84	ns, 最大值
分类单元	AX输入到BMUX输出	0.58	0.66	0.83	0.83	ns, 最大值
分类单元	AX输入到CMUX输出	0.60	0.68	0.82	0.82	ns, 最大值
分类	AX输入到DMUX输出	0.68	0.75	0.90	0.90	ns, 最大值
TBxB	BX输入到BMUX输出	0.51	0.57	0.69	0.69	ns, 最大值
脑外伤	BX输入到DMUX输出	0.62	0.69	0.82	0.82	ns, 最大值
TCXC	CX输入到CMUX输出	0.42	0.48	0.58	0.58	ns, 最大值
TCXD	CX输入到DMUX输出	0.53	0.59	0.71	0.71	ns, 最大值
TDXD	DX输入到DMUX输出	0.52	0.58	0.70	0.70	ns, 最大值
顺序延迟						
特科	时钟到AQ-DQ输出	0.40	0.44	0.53	0.53	ns, 最大值
特什科	时钟到AMUX-DMUX输出	0.47	0.53	0.66	0.66	ns, 最大值
时钟前后CLB人字拖的设置和保持时间						
塔斯	安 - dn输入到CLK	0.07/0.12	0.09/0.14	0.11/0.18	0.11/0.28	ns, 最小值
特迪克/特克迪	斧子 - 地塞米松输入到CLK	0.06/0.19	0.07/0.21	0.09/0.26	0.09/0.35	ns, 最小值
	斧子 - 地塞米松通过MUXs和/或携带逻辑输入到A-D触发器上的CLK	0.59/0.08	0.66/0.09	0.81/0.11	0.81/0.20	ns, 最小值
塞克_CLB/ TCKCE_CLB	A-D拖鞋上的CLK	0.15/0.00	0.17/0.00	0.21/0.01	0.21/0.13	ns, 最小值
TSRCK/TCKSR	在A-D触发器上的CLK的SR输入	0.38/0.03	0.43/0.04	0.53/0.05	0.53/0.18	ns, 最小值
设置/重置						
TSRMIN	SR输入的最小脉冲宽度	0.52	0.78	1.04	1.04	ns, 最小值
总需要量	从SR输入到AQ-DQ翻转开关的延迟	0.53	0.59	0.71	0.71	ns, 最大值
泰科	从CE输入到AQ-DQ翻转开关的延迟	0.52	0.58	0.70	0.70	ns, 最大值
FTOC	切换频率 (用于出口控制)	1412	1286	1098	1098	兆赫

表63: CLB分布式RAM交换特性

符号	描述	速度等级				单位
		-3	-2	-1C/-1I/-1LI	-1Q	
顺序延迟						
特什科 ⁽¹⁾	到双向输出的时钟	0.98	1.09	1.32	1.32	ns, 最大值
TSHCKO 1	时钟到AMUX-BMUX输出	1.37	1.53	1.86	1.86	ns, 最大值

发送反馈

表63: CLB分布式RAM交换特性 (续)

符号	描述	速度等级				单位
		-3	-2	-1C/-1I/-1LI	-1Q	
时钟前后的设置和保持时间						
TDS_LRAM/ TDH_LRAM	到CLK的A-D输入	0.54/0.28	0.60/0.30	0.72/0.35	0.72/0.37	ns, 最小值
热微量转移法_LRAM/ 塔_LRAM	时钟输入地址	0.27/0.55	0.30/0.60	0.37/0.70	0.37/0.71	ns, 最小值
	通过MUXs和/或向时钟携带逻辑来处理一个输入	0.69/0.18	0.77/0.21	0.94/0.26	0.94/0.35	ns, 最小值
两条_LRAM/ 特_LRAM	WE输入到时钟	0.38/0.10	0.43/0.12	0.53/0.17	0.53/0.17	ns, 最小值
塞克_LRAM/ TCKCE_LRAM	CE输入到CLK	0.39/0.10	0.44/0.11	0.53/0.17	0.53/0.17	ns, 最小值
时钟CLK						
TMPW_LRAM	最小脉冲宽度	1.05	1.13	1.25	1.25	ns, 最小值
TMCP	最小时钟周期	2.10	2.26	2.50	2.50	ns, 最小值

记下

1. 特什科也表示CLK到XMUX的输出。请参阅关于CLK到XMUX路径的定时报告。

CLB移位寄存器交换机特性 (仅限SLICEM)

表64: CLB移位寄存器切换特性

符号	描述	速度等级				单位
		-3	-2	-1C/-1I/-1LI	-1Q	
顺序延迟						
特雷格	时钟到单向数据输出	1.19	1.33	1.61	1.61	ns, 最大值
treg_mux	时钟到AMUX-DMUX输出	1.58	1.77	2.15	2.15	ns, 最大值
treg_m31	时钟到DMUX输出通过M31输出	1.12	1.23	1.46	1.46	ns, 最大值
时钟前后的设置和保持时间						
两条_SHFREG/ 特_SHFREG	WE输入	0.37/0.10	0.41/0.12	0.51/0.17	0.51/0.17	ns, 最小值
塞克_SHFREG/ TCKCE_SHFREG	CE输入到CLK	0.37/0.10	0.42/0.11	0.52/0.17	0.52/0.17	ns, 最小值
TDS_SHFREG/ TDH_SHFREG	到CLK的A-D输入	0.33/0.34	0.37/0.37	0.44/0.43	0.44/0.44	ns, 最小值
时钟CLK						
TMPW_SHFREG	最小脉冲宽度	0.77	0.86	0.98	0.98	ns, 最小值

发送反馈

块RAM和FIFO开关特性

表65: 块RAM和FIFO开关特性

符号	描述	速度等级				单位
		-3	-2	-1C/-1I/-1LI	-1Q	
阻止RAM和FIFO时钟，以输出延迟						
特科科_D0和 特科科_do_reg ⁽¹⁾	时钟CLK到DOUT输出（不带输出寄存器） (2) (3)	1.85	2.13	2.46	2.46	ns, 最大值
	时钟CLK到DOUT输出（带有输出寄存器） (4) (5)	0.64	0.74	0.89	0.89	ns, 最大值
特科科_do_ecc和 trcko_do_ecc_reg	通过ECC输出（无输出寄存器）(2) (3)	2.77	3.04	3.84	3.84	ns, 最大值
	时钟CLK到DOUT输出与ECC（带输出寄存器） (4) (5)	0.73	0.81	0.94	0.94	ns, 最大值
特科科_do_cascout和 trcko_do_cascout_reg	时钟CLK到DOUT输出（无输出寄存器）(2)	2.61	2.88	3.30	3.30	ns, 最大值
	时钟CLK到DOUT输出与级联（带输出寄存器） (4)	1.16	1.28	1.46	1.46	ns, 最大值
trcko_flags	时钟CLK到FIFO标志输出(6)	0.76	0.87	1.05	1.05	ns, 最大值
trcko_pointers	时钟CLK到FIFO指针输出(7)	0.94	1.02	1.15	1.15	ns, 最大值
trcko_parity_ecc	时钟CLK到ECC编码模式下的ECC校验	0.78	0.85	0.94	0.94	ns, 最大值
特科科_SDBIT_ECC和 TRCKO_SDBIT_ECC_REG	时钟CLK到BITERR（无输出寄存器）	2.56	2.81	3.55	3.55	ns, 最大值
	时钟CLK到BITERR（带有输出寄存器）	0.68	0.76	0.89	0.89	ns, 最大值
特科科_RDADDR_ECC和 TRCKO_RDADDR_ECC_REG	时钟CLK到RDADDR输出与ECC（无输出寄存器）	0.75	0.88	1.07	1.07	ns, 最大值
	时钟CLK到RDADDR输出与ECC（带有输出寄存器）	0.84	0.93	1.08	1.08	ns, 最大值
时钟前后的设置和保持时间						
特科阿德拉/ trekc_addra	ADDR输入(8)	0.45/0.31	0.49/0.33	0.57/0.36	0.57/0.52	ns, 最小值
特德克_DI_WF_NC/ TRCKD_DI_WF_NC	将块内存配置为WRITE_FIRST或NO_CHANGE模式时的数据输入设置/保持时间(9)	0.58/0.60	0.65/0.63	0.74/0.67	0.74/0.67	ns, 最小值
特德克_DI_RF/ TRCKD_DI_RF	将块RAM配置为READ_FIRST模式时的数据输入设置/保持时间(9)	0.20/0.29	0.22/0.34	0.25/0.41	0.25/0.50	ns, 最小值
特德克_DI_ECC/ TRCKD_DI_ECC	块RAM ECC的DIN输入(9)	0.50/0.43	0.55/0.46	0.63/0.50	0.63/0.50	ns, 最小值
	仅具有块RAM ECC编码的DIN输入(9)	0.93/0.43	1.02/0.46	1.17/0.50	1.17/0.50	ns, 最小值
	DIN输入与FIFO ECC在标准中模式(9)	1.04/0.56	1.15/0.59	1.32/0.64	1.32/0.64	ns, 最小值
特德克_di_eccw/ trckd_di_eccw	仅具有块RAM ECC编码的DIN输入(9)	0.93/0.43	1.02/0.46	1.17/0.50	1.17/0.50	ns, 最小值
特德克_di_ecc_fifo/ trckd_di_ecc_fifo	DIN输入与FIFO ECC在标准中模式(9)	1.04/0.56	1.15/0.59	1.32/0.64	1.32/0.64	ns, 最小值
特科科_INJECTBITERR/ TRCKO_INJECTBITERR	在ECC模式下输入单/双位错误 www. 席林克斯	0.58/0.35	0.64/0.37	0.74/0.40	0.74/0.52	ns, 最小值

发送反馈

表65: 块RAM和FIFO开关特性 (续)

符号	描述	速度等级				单位
		-3	-2	-1C/-1I/-1LI	-1Q	
特克_EN/ TRCKC_EN	阻止RAM启用 (EN) 输入	0.35/0.20	0.39/0.21	0.45/0.23	0.45/0.41	ns, 最小值
特克_REGCE/ TRCKC_REGCE	输出寄存器的CE输入	0.24/0.15	0.29/0.15	0.36/0.16	0.36/0.39	ns, 最小值
特克_RSTREG/ TRCKC_RSTREG	同步RSTREG输入	0.29/0.07	0.32/0.07	0.35/0.07	0.35/0.17	ns, 最小值
特克_RSTRAM/ TRCKC_RSTRAM	同步RSTRAM输入	0.32/0.42	0.34/0.43	0.36/0.46	0.36/0.57	ns, 最小值
特克_WEA/ TRCKC_WEA	写入启用 (WE) 输入 (仅限块RAM)	0.44/0.18	0.48/0.19	0.54/0.20	0.54/0.42	ns, 最小值
特克_WREN/ trckc_wren	WREN FIFO输入	0.46/0.30	0.46/0.35	0.47/0.43	0.47/0.43	ns, 最小值
特克_RDEN/ TRCKC_RDEN	RDEN FIFO输入	0.42/0.30	0.43/0.35	0.43/0.43	0.43/0.62	ns, 最小值
重置延迟						
trco_flags	将RST重置为FIFO标志/指针 (10)	0.90	0.98	1.10	1.10	ns, 最大值
特雷克_RST/ TRREM_RST	FIFO复位恢复和移除时间 (11)	1.87/ - 0.81	2.07/ - 0.81	2.37/ - 0.81	2.37/ - 0.58	ns, 最大值
最大频率						
fmax_bram_wf_nc	当不处于SDP射频模式时, 阻止RAM (先写入和无更改模式)。	509.68	460.83	388.20	388.20	兆赫
FMAX_bram_rf_performa 标准等效曲线	在SDP RF模式下, 但端口A和端口B之间没有地址重叠时, 阻止RAM (先读, 性能模式)。	509.68	460.83	388.20	388.20	兆赫
FMAX_bram_rf_delayed_ 写	阻止RAM (先读, 延迟写模式) 当处于SDP RF模式时, 端口A和端口B地址之间可能存在重叠。	447.63	404.53	339.67	339.67	兆赫
fmax_cas_wf_nc	阻止RAM级联 (先写入, 无更改模式) 当级联, 但不是在射频模式。	467.07	418.59	345.78	345.78	兆赫
FMAX_cas_rf_performan ce	块RAM级联 (先读, 性能模式) 当射频模式级联, 地址重叠/一个端口被禁用。	467.07	418.59	345.78	345.78	兆赫
FMAX_cas_rf_delayed_w 仪式	在级联射频模式下, 端口a和端口B之间有可能存在地址重叠。	405.35	362.19	297.35	297.35	兆赫

发送反馈

表65: 块RAM和FIFO开关特性 (续)

符号	描述	速度等级				单位
		-3	-2	-1C/-1I/-1LI	-1Q	
FMAX文件	FIFO在所有模式下都没有ECC	509.68	460.83	388.20	388.20	兆赫
FMAX_ECC	ECC配置中的RAM和FIFO	410.34	365.10	297.53	297.53	兆赫

记下

1. 定时报告将所有这些参数显示为特尔科_DO。
2. 特尔科_DOR包括特尔科_DOW, 特尔科_DOPR和特尔科_DOPW以及B端口等效的定时参数。
3. 这些参数也适用于使用DO_REG = 0的同步FIFO。
4. 特尔科_DO包括特尔科_DOP以及B端口等效的定时参数。
5. 这些参数也适用于使用DO_REG = 1的多速率 (异步) 和同步FIFO。
6. 特尔科_标志包括以下参数: 特尔科_AEMPTY, 特尔科_AFULL, 特尔科空的, 特尔科_满, 特尔科_RDERR和TRCKO_WRERR.
7. 特尔科_指针包括两个特尔科_RDCOUNT和特尔科_WRCOUNT.
8. 当断言EN时 (即使取消断言时) 也必须满足ADDR设置和保持。否则, 可能会阻止RAM数据损坏。
9. 这些参数包括A和B输入以及A和B的奇偶校验输入。
10. 特尔科_标志包括以下标志: AEMPTY、AFULL、空、FULL、RDERR、WRERR、RDCOUNT和WRCOUNT。
11. RDEN和WREN必须在重置之前和设置期间保持在低水平。必须对最慢时钟 (WRCLK或RDCLK) 的至少五个正时钟边缘进行FIFO复位。

发送反馈

DSP48E1开关特性

表66: DSP48E1开关特性

符号	描述	速度等级				单位
		-3	-2	-1C/-1I/-1LI	-1Q	
对输入寄存器时钟的数据/控制大头针的设置和保持时间						
TDSPDCK_a_areg/TDSPCKD_a_areg	对一个寄存器CLK的一个输入	0.26/0.12	0.30/0.13	0.37/0.14	0.37/0.28	ns
tdspckd_b_breg / dspckd_b_breg	B输入到B寄存器CLK	0.33/0.15	0.38/0.16	0.45/0.18	0.45/0.25	ns
TDSPDCK_C_CREG/TDSPCKD_C_CREG	C输入到C寄存器CLK	0.17/0.17	0.20/0.19	0.24/0.21	0.24/0.26	ns
TDSPDCK_D_DREG/TDSPCKD_D_DREG	D输入到D寄存器CLK	0.25/0.25	0.32/0.27	0.42/0.27	0.42/0.42	ns
TDSPDCK_ACIN_AREG/ TDSPCKD_ACIN_AREG	ACIN输入到一个寄存器CLK	0.23/0.12	0.27/0.13	0.32/0.14	0.32/0.17	ns
TDSPDCK_bcin_breg/ dspckd_bcin_breg	BCIN输入到B寄存器CLK	0.25/0.15	0.29/0.16	0.36/0.18	0.36/0.18	ns
连接到管道寄存器时钟的数据大头针的设置和保持时间						
TDSPDCK_{A, B}_MREG_MULT/ T _{TDSPCKD_{A, B}_MREG_MULT}	{A, B} 使用乘法器输入到M个寄存器CLK	2.40/ - 0.01	2.76/ - 0.01	3.29/ - 0.01	3.29/ - 0.01	ns
TDSPDCK_{A, D}_ADREG/ T _{TDSPCKD_{A, D}_ADREG}	输入到AD寄存器CLK	1.29/ - 0.02	1.48/ - 0.02	1.76/ - 0.02	1.76/ - 0.02	ns
对输出寄存器时钟的数据/控制大头针的设置和保持时间						
T _{TDSPDCK_{A, B}_PREG_MULT} / T _{TDSPCKD_{A, B}_PREG_MULT}	{A, B} 使用乘法器输入到P寄存器CLK	4.02/ - 0.28	4.60/ - 0.28	5.48/ - 0.28	5.48/ - 0.28	ns
TDSPDCK_D_PREG_MULT/ TDSPCKD_D_PREG_MULT	D输入到P寄存器CLK乘数 使用	3.93/ - 0.73	4.50/ - 0.73	5.35/ - 0.73	5.35/ - 0.73	ns
T _{TDSPDCK_{A, B}_PREG} / T _{TDSPCKD_{A, B}_PREG}	A或B输入到P寄存器CLK, 不使用乘法器	1.73/ - 0.28	1.98/ - 0.28	2.35/ - 0.28	2.35/ - 0.28	ns
TDSPDCK_C_PREG/ TDSPCKD_C_PREG	C输入到P寄存器CLK不使用乘法器	1.54/ - 0.26	1.76/ - 0.26	2.10/ - 0.26	2.10/ - 0.26	ns
TDSPDCK_PCIN_PREG/ TDSPCKD_PCIN_PREG	PCIN输入到P寄存器CLK	1.32/ - 0.15	1.51/ - 0.15	1.80/ - 0.15	1.80/ - 0.15	ns
CE引脚的设置和保持时间						
T _{TDSPDCK_{CEA; CEB}_AREG;} BREG)/T _{TDSPCKD_{CEA; CEB}_AREG;} BREG)	CEB输入寄存器CLK	0.35/0.06	0.42/0.08	0.52/0.11	0.52/0.11	ns
TDSPDCK_CEC_CREG/ TDSPCKD_CEC_CREG	CEC输入到C寄存器CLK	0.28/0.10	0.34/0.11	0.42/0.13	0.42/0.13	ns
TDSPDCK_CED_DREG/ TDSPCKD_CED_DREG	CED输入到D寄存器CLK	0.36/ - 0.03	0.43/ - 0.03	0.52/ - 0.03	0.52/ - 0.03	ns
TDSPDCK_CEM_MREG/ TDSPCKD_CEM_MREG	CEM输入到M个寄存器CLK	0.17/0.18	0.21/0.20	0.27/0.23	0.27/0.23	ns
TDSPDCK_CEP_PREG/ TDSPCKD_CEP_PREG	CEP输入到P寄存器CLK	0.36/0.01	0.43/0.01	0.53/0.01	0.53/0.01	ns
RST引脚的设置和保持时间						
T _{TDSPDCK_{RSTA; RSTB}_AREG;} BREG)/T _{TDSPCKD_{RSTA; RSTB}_AREG;} BREG)	{RSTA, RSTB} 输入到 {A, B} 寄存器CLK	0.41/0.11	0.46/0.13	0.55/0.15	0.55/0.24	ns
TDSPDCK_RSTC_CREG/ TDSPCKD_RSTC_CREG	RSTC输入到C寄存器CLK	0.07/0.10	0.08/0.11	0.09/0.12	0.09/0.25	ns
TDSPDCK_RSTD_DREG/ TDSPCKD_RSTD_DREG	RSTD输入到D寄存器CLK	0.44/0.07	0.50/0.08	0.59/0.09	0.59/0.09	ns
TDSPDCK_RSTM_MREG/ TDSPCKD_RSTM_MREG	RSTM输入到M个寄存器CLK	0.21/0.22	0.23/0.24	0.27/0.28	0.27/0.28	ns

发送反馈

表66: DSP48E1开关特性 (续)

符号	描述	速度等级				单位
		-3	-2	-1C/-1I/-1LI	-1Q	
TDSPCK_RSTP_PREG/ TDSPCKD_RSTP_PREG	RSTP输入到P寄存器CLK	0.27/0.01	0.30/0.01	0.35/0.01	0.35/0.03	ns
从输入销到输出销的组合延迟						
tdspdo_a_carryout_mult	使用乘法器进行输出的输入	3.79	4.35	5.18	5.18	ns
TDSPDO_D_P_MULT	D输入到P输出使用乘法器	3.72	4.26	5.07	5.07	ns
tdspdo_a_p	不使用乘法器的P输出的输入	1.53	1.75	2.08	2.08	ns
TDSPDO_C_P	C的输入到P的输出	1.33	1.53	1.82	1.82	ns
从输入销到级联输出销的组合延迟						
T _{TDSPDO_{A; B}_{ACOUT; BCOUT}}	输入到{ACOUT, BCOUT}输出	0.55	0.63	0.74	0.74	ns
T _{TDSPDO_{A, B}_{CARRYCASCOUT_MULT}}	{A、B}使用乘法器输入输出输出	4.06	4.65	5.54	5.54	ns
TDSPDO_D_CARRYCASCOUT_MULT	D输入到乘输出输出	3.97	4.54	5.40	5.40	ns
T _{TDSPDO_{A, B}_{CARRYCASCOUT}}	不使用乘法器输入输出输出	1.77	2.03	2.41	2.41	ns
TDSPDO_C_CARRYCASCOUT	C输入到输出输出	1.58	1.81	2.15	2.15	ns
从级联输入销到所有输出销的组合延迟						
TDSPDO_ACIN_P_MULT	ACIN输入到P输出, 使用乘数	3.65	4.19	5.00	5.00	ns
TDSPDO_ACIN_P	ACIN输入到P输出不使用乘法器	1.37	1.57	1.88	1.88	ns
TDSPDO_ACIN_ACOUT	ACIN输入到ACOUT输出	0.38	0.44	0.53	0.53	ns
TDSPDO_ACIN_CARRYCASCOUT_MULT	ACIN输入使用乘法器输出输出	3.90	4.47	5.33	5.33	ns
TDSPDO_ACIN_CARRYCASCOUT	ACIN输入到携带输出不使用乘器	1.61	1.85	2.21	2.21	ns
TDSPDO_PCIN_P	PCIN输入到P输出	1.11	1.28	1.52	1.52	ns
TDSPDO_PCIN_CARRYCASCOUT	PCIN输入到输出输出	1.36	1.56	1.85	1.85	ns
从输出寄存器时钟到输出大头针的时钟到输出时间						
TDSPCKO_P_PREG	CLK PREG到P输出	0.33	0.37	0.44	0.44	ns
TDSPCKO_CARRYCASCOUT_PREG	点击PREG到输出输出	0.52	0.59	0.69	0.69	ns
从管道寄存器时钟到输出销的时钟到输出点						
TDSPCKO_P_MREG	从CLK MREG到P的输出	1.68	1.93	2.31	2.31	ns
TDSPCKO_CARRYCASCOUT_MREG	CLK MREG携带输出输出	1.92	2.21	2.64	2.64	ns
TDSPCKO_P_ADREG_MULT	使用乘法器从CLK ADREG输出到P的输出	2.72	3.10	3.69	3.69	ns
TDSPCKO_CARRYCASCOUT_ADREG_MULT	CLK ADREG使用乘法器携带输出	2.96	3.38	4.02	4.02	ns

表66: DSP48E1开关特性 (续)

符号	描述	速度等级				单位
		-3	-2	-1C/-1I/-1LI	-1Q	
从输入寄存器时钟到输出大头针的时钟到输出时间						
TDSPCKO_P_AREG_MULT	CLK AREG到P输出使用乘数	3.94	4.51	5.37	5.37	ns
tdspcko_p_breg	CLK BREG到P输出不使用乘数	1.64	1.87	2.22	2.22	ns
TDSPCKO_P_CREG	CLK CREG到P输出不使用乘数	1.69	1.93	2.30	2.30	ns
TDSPCKO_P_DREG_MULT	CLK DREG到P输出	3.91	4.48	5.32	5.32	ns
从输入寄存器时钟到级联输出销						
T _{TDSPCKO_{ACOUT; BCOUT}_{AREG; BREG}}	CLK (ACOUT、BCOUT) 到{A、B}寄存器输出	0.64	0.73	0.87	0.87	ns
TDSPCKO_CARRYCASCOUT_{AREG, BREG}_MULT	CLK (AREG, BREG) 输出输出乘法器 使用	4.19	4.79	5.70	5.70	ns
tdspcko_carrycascout_breg	CLK BREG携带输出输出不使用乘法器	1.88	2.15	2.55	2.55	ns
TDSPCKO_CARRYCASCOUT_DREG_MULT	CLK DREG使用乘法器携带输出	4.16	4.76	5.65	5.65	ns
TDSPCKO_CARRYCASCOUT_CREG	CLK CREG携带输出输出	1.94	2.21	2.63	2.63	ns
最大频率						
FMAX	使用所有寄存器	628.93	550.66	464.25	464.25	兆赫
FMAX_PATDET	带图案检测器	531.63	465.77	392.93	392.93	兆赫
FMAX_MULT_NOMREG	两个寄存器乘法没有MREG	349.28	305.62	257.47	257.47	兆赫
FMAX_MULT_NOMREG_PATDET	两个寄存器乘法没有MREG与模式检测	317.26	277.62	233.92	233.92	兆赫
FMAX_PREADD_MULT_NOADREG	没有ADREG	397.30	346.26	290.44	290.44	兆赫
FMAX_PREADD_MULT_NOADREG_PATDET	没有ADREG检测 模式	397.30	346.26	290.44	290.44	兆赫
FMAX_NOPIPELINEREG	没有管道寄存器 (MREG、ADREG)	260.01	227.01	190.69	190.69	兆赫
FMAX_NOPIPELINEREG_PATDET	没有管道寄存器的管道寄存器 (MREG, ADREG) 和模式检测	241.72	211.15	177.43	177.43	兆赫

时钟缓冲区和网络

表67: 全局时钟切换特性 (包括BUFGCTRL)

符号	描述	速度等级				单位
		-3	-2	-1C/-1I/-1LI	-1Q	
特布拉克 _{CE/TBCKC} ⁽¹⁾ _{ce}	CE引脚设置/保持	0.13/0.39	0.14/0.41	0.18/0.42	0.18/0.84	ns
特布拉克 _{S/TBCKC_S} ⁽¹⁾	S引脚设置/保持	0.13/0.39	0.14/0.41	0.18/0.42	0.18/0.84	ns
TBCKO ₀ ⁽²⁾	从I0/I1到0的延迟	0.08	0.09	0.11	0.11	ns
最大频率						
FMAX_BUFG	全局时钟树 (BUFG)	628.00	628.00	464.00	464.00	兆赫

记下

1. 特布拉克_{CE}和_{tbckc}_{CE}必须满足以确保全球时钟切换时钟无故障运行。这些参数不适用于确保无故障操作的BUFGMUX原语。另一个全局时钟设置和保持时间是可选的: 只有在时钟之间切换时, 设备操作需要模拟周期的周期匹配时才需要满足。
2. 脑外伤性脑损伤₀ (从i0到0的BUFG延迟) 值与TBCKO₀价值

表68: 输入/输出时钟切换特性 (BUFIO)

符号	描述	速度等级				单位
		-3	-2	-1C/-1I/-1LI	-1Q	
TBIOCKO ₀	从I到0	1.16	1.32	1.61	1.61	ns
最大频率						
FMAX_BUFIO	输入/输出时钟树 (BUFIO)	680.00	680.00	600.00	600.00	兆赫

表69: 区域时钟缓冲区切换特性 (BUFR)

符号	描述	速度等级				单位
		-3	-2	-1C/-1I/-1LI	-1Q	
TBRCKO ₀	从I到0	0.64	0.80	1.04	1.04	ns
TBRCKO ₀ _BYP	设置分隔旁路属性, 时钟输出从I到0的延迟	0.35	0.41	0.54	0.54	ns
托布尔多 ₀	从CLR到0的传播延迟	0.85	0.89	1.14	1.14	ns
最大频率						
FMAX_BUFR ⁽¹⁾	区域时钟树 (BUFR)	420.00	375.00	315.00	315.00	兆赫

记下

1. BUFR和BUFMR的最大输入频率为BUFIOFMAX频繁性

表70: 水平时钟缓冲区切换特性 (BUFH)

符号	描述	速度等级				单位
		-3	-2	-1C/-1I/-1LI	-1Q	
TBHCKO ₀	BUFH延迟从I到0	0.11	0.11	0.14	0.14	ns
tbhck _{CE/TBHCKC} _{CE}	CE引脚的设置和保持	0.20/0.13	0.23/0.16	0.29/0.21	0.29/0.43	ns
最大频率						
FMAX_BUFH	水平时钟缓冲器 (BUFH)	628.00	628.00	464.00	464.00	兆赫

表71: 占空比扭曲和时钟树倾斜

符号	描述	设备	速度等级				单位
			-3	-2	-1C/-1I/-1LI	-1Q	
TDCD_CLK	全局时钟树占空比失真(1)	所有	0.20	0.20	0.20	0.20	ns
锥形的	全局时钟树倾斜(2)	XC7Z007S	N/A	0.27	0.27	N/A	ns
		xc7z012秒	N/A	0.39	0.42	N/A	ns
		xc7z014秒	N/A	0.38	0.42	N/A	ns
		XC7Z010	0.27	0.27	0.27	N/A	ns
		XC7Z015	0.33	0.39	0.42	N/A	ns
		XC7Z020	0.33	0.38	0.42	N/A	ns
		XA7Z010	N/A	N/A	0.27	0.27	ns
		XA7Z020	N/A	N/A	0.42	0.42	ns
		XQ7Z020	N/A	0.38	0.42	0.42	ns
TDCD_BUFIO	输入/输出时钟树占空比失真	所有	0.14	0.14	0.14	0.14	ns
斜斜的	I/O时钟树在一个时钟区域上发生倾斜	所有	0.03	0.03	0.03	0.03	ns
TDCD_BUFRR	区域时钟树占空比失真	所有	0.18	0.18	0.18	0.18	ns

记下

1. 这些参数代表了使用LVDS输出缓冲器在器件的引脚处可观察到的最坏情况下的占空比失真。对于使用其他I/O标准的情况，IBIS可用于计算可能由不对称的上升/下降时间引起的任何额外的占空比失真。
2. 斜度值表示在顺序I/O元素之间可观察到的最坏情况下的时钟树倾斜。对于彼此接近并由相同或相邻的时钟树分支提供的I/O寄存器，时钟树倾斜存在的情况明显较少。使用Xilinx定时分析仪工具来评估应用程序特定的时钟倾斜。

MMCM开关特性

表72: MMCM规范

符号	描述	速度等级				单位
		-3	-2	-1C/-1I/-1LI	-1Q	
MMCM_最大值	最大输入时钟频率	800.00	800.00	800.00	800.00	兆赫
MMCM_芬明	最小输入时钟频率	10.00	10.00	10.00	10.00	兆赫
MMCM_有限的抖动	最大输入时钟周期抖动	<为时钟输入周期的20%或最大1 ns				
MMCM_有限责任	允许的输入占空比: 10-49MHz	25	25	25	25	%
	允许的输入占空比: 50-199MHz	30	30	30	30	%
	允许的输入占空比: 200-399MHz	35	35	35	35	%
	允许的输入占空比: 400-499MHz	40	40	40	40	%
	允许的输入占空比: >500 MHz	45	45	45	45	%
MMCM_最小值函数_PSCLK	最小动态相移时钟频率	0.01	0.01	0.01	0.01	兆赫
MMCM_FMAX_PSCLK	最大动态相移时钟频率	550.00	500.00	450.00	450.00	兆赫
MMCM_FVCOMIN	最小MMCM VCO频率	600.00	600.00	600.00	600.00	兆赫
MMCM_FVCOMAX	最大MMCM VCO频率	1600.00	1440.00	1200.00	1200.00	兆赫
MMCM_频带	典型的低MMCM带宽(1)	1.00	1.00	1.00	1.00	兆赫
	典型的高MMCM带宽(1)	4.00	4.00	4.00	4.00	兆赫
MMCM_字母表偏移量	MMCM输出的静态相位偏移量(2)	0.12	0.12	0.12	0.12	ns
MMCM_测距抖动	MMCM输出抖动	注3				
MMCM_测距仪	MMCM输出时钟占空比精度(4)	0.20	0.20	0.20	0.20	ns

表72: MMCM规范 (续)

符号	描述	速度等级				单位
		-3	-2	-1C/-1I/-1LI	-1Q	
MMCM_时钟最大值	MMCM最大锁定时间	100.00	100.00	100.00	100.00	μs
MMCM_法特马克斯	MMCM最大输出频率	800.00	800.00	800.00	800.00	兆赫
MMCM_法特明	MMCM最小输出频率 (5) (6)	4.69	4.69	4.69	4.69	兆赫
MMCM_TEXTFDVAR	外部时钟反馈信息的变化	<为时钟输入周期的20%或最大1 ns				
MMCM_斯特明波尔	最小复位脉冲宽度	5.00	5.00	5.00	5.00	ns
MMCM_FPFDMAX	在相位频率探测器处的最大频率	550.00	500.00	450.00	450.00	兆赫
MMCM_FPFDMIN	在相位频率探测器上的最小频率	10.00	10.00	10.00	10.00	兆赫
MMCM_tfb延迟	反馈路径中的最大延迟	最大3 ns或一个CLKIN循环				
MMCM开关特性的设置和保持						
TMMCMCKD_PSEN/ TMMCMCKD_PSEN	设置和保持相移的启用	1.04/0.00	1.04/0.00	1.04/0.00	1.04/0.00	ns
TMMCMCKD_PSINCDEC/ TMMCMCKD_PSINCDEC	相移过程的设置和保持 increment/decrement	1.04/0.00	1.04/0.00	1.04/0.00	1.04/0.00	ns
TMMCMCKO_PSDONE	PSDONE的相移时钟到输出	0.59	0.68	0.81	0.81	ns
DCLK前后MMCM的动态重新配置端口 (DRP)						
TMMCMCKD_DADDR/ TMMCMCKD_DADDR	DADDR setup/hold	1.25/0.15	1.40/0.15	1.63/0.15	1.63/0.15	ns, 最小值
TMMCMCKD_DI/ TMMCMCKD_DI	DI setup/hold	1.25/0.15	1.40/0.15	1.63/0.15	1.63/0.15	ns, 最小值
TMMCMCKD_DEN/ TMMCMCKD_DEN	DEN setup/hold	1.76/0.00	1.97/0.00	2.29/0.00	2.29/0.00	ns, 最小值
TMMCMCKD_DWE/ TMMCMCKD_DWE	DWE setup/hold	1.25/0.15	1.40/0.15	1.63/0.15	1.63/0.15	ns, 最小值
TMMCMCKO_DRDY	点击到退出DRDY	0.65	0.72	0.99	0.99	ns, 最大值
FDCK	DCLK频率	200.00	200.00	200.00	200.00	MHz, 最大

记下

1. MMCM不过滤典型的扩频谱输入时钟，因为它们通常远低于带宽滤波器频率。
2. 测量具有相同相位的任何MMCM输出之间的静态偏移量。
3. 此参数的值可在时钟向导中找到。看到http://www.席林克斯.com/products/intellectual-property/clocking_wizard.htm。
4. 包括全局时钟缓冲区。
5. 计算为FVCO/128假设输出占空比为50%。
6. 当CLKOUT4_CASCADE = TRUE时，MMCM_法特明为0.036 MHz。

发送反馈

PLL开关特性

表73: PLL规范

符号	描述	速度等级				单位
		-3	-2	-1C/-1I/-1LI	-1Q	
PLL_最大值	最大输入时钟频率	800.00	800.00	800.00	800.00	兆赫
PLL_芬明	最小输入时钟频率	19.00	19.00	19.00	19.00	兆赫
PLL_有限的抖动	最大输入时钟周期抖动	<为时钟输入周期的20%或最大1 ns				
PLL_有限责任	允许的输入占空比: 19-49MHz	25	25	25	25	%
	允许的输入占空比: 50-199MHz	30	30	30	30	%
	允许的输入占空比: 200-399MHz	35	35	35	35	%
	允许的输入占空比: 400-499MHz	40	40	40	40	%
	允许的输入占空比: >500 MHz	45	45	45	45	%
PLL_FVCOMIN	最小PLL VCO频率	800.00	800.00	800.00	800.00	兆赫
PLL_FVCOMAX	最大PLL VCO频率	2133.00	1866.00	1600.00	1600.00	兆赫
PLL_频带	典型的低PLL带宽(1)	1.00	1.00	1.00	1.00	兆赫
	典型的高PLL带宽(1)	4.00	4.00	4.00	4.00	兆赫
PLL_字母表偏移量	PLL输出的静态相位偏移量(2)	0.12	0.12	0.12	0.12	ns
PLL_测距抖动	PLL输出抖动	注3				
PLL_测距仪	PLL输出时钟占空比精度(4)	0.20	0.20	0.20	0.20	ns
PLL_时钟最大值	PLL最大锁定时间	100.00	100.00	100.00	100.00	μs
PLL_法特马克斯	PLL最大输出频率	800.00	800.00	800.00	800.00	兆赫
PLL_法特明	PLL最小输出频率(5)	6.25	6.25	6.25	6.25	兆赫
PLL_TEXTFDVAR	外部时钟反馈信息的变化	<为时钟输入周期的20%或最大1 ns				
PLL_斯特明波尔	最小复位脉冲宽度	5.00	5.00	5.00	5.00	ns
PLL_FPFDMAX	在相位频率探测器处的最大频率	550.00	500.00	450.00	450.00	兆赫
PLL_FPFDMIN	在相位频率探测器上的最小频率	19.00	19.00	19.00	19.00	兆赫
PLL_tfb延迟	反馈路径中的最大延迟	最大3 ns或一个CLKIN循环				
DCLK前后PLL的动态重新配置端口 (DRP)						
TPLLCKC_DADDR/TPLLCKC_DADDR	D地址的设置和保存	1.25/0.15	1.40/0.15	1.63/0.15	1.63/0.15	ns, 最小值
特普尔克_DI/TPLLCKC_DI	D输入的设置和保持	1.25/0.15	1.40/0.15	1.63/0.15	1.63/0.15	ns, 最小值
特普尔克_den/tpllck_兽穴	设置和保持D的启用	1.76/0.00	1.97/0.00	2.29/0.00	2.29/0.00	ns, 最小值
特普尔克_DWE/TPLLCKC_圆片直接曝光	设置和保持的D写启用	1.25/0.15	1.40/0.15	1.63/0.15	1.63/0.15	ns, 最小值
TPLLCKO_DRDY	点击到退出DRDY	0.65	0.72	0.99	0.99	ns, 最大值
FDCK	DCLK频率	200.00	200.00	200.00	200.00	MHz, 最大

记下

- PLL不过滤典型的扩频谱输入时钟，因为它们通常远低于带宽滤波器频率。
- 测量具有相同相位的任何PLL输出之间的静态偏移量。
- 此参数的值可在时钟向导中找到。看到http://www.席林克斯.com/products/intellectual-property/clocking_wizard.htm。
- 包括全局时钟缓冲区。
- 计算为FVCO/128假设输出占空比为50%。

发送反馈

设备引脚输出参数指南

表74: 时钟功能时钟输入输出延迟无MMCM/PLL (接近时钟区域) (1)

符号	描述	设备	速度等级				单位
			-3	-2	-1C/-1I/-1LI	-1Q	
SSTL15时钟-有能力的时钟输入到输出延迟使用输出人字拖, 快速旋转率, 没有MMCM/PLL							
提克夫	支持时钟的时钟输入和OUTFF最接近MMCM/PLL的引脚/银行没有MMCM/PLL (靠近时钟区域) (2)	XC7Z007S	N/A	5.68	6.65	N/A	ns
		xc7z012秒	N/A	5.96	6.90	N/A	ns
		xc7z014秒	N/A	6.05	7.08	N/A	ns
		XC7Z010	5.08	5.68	6.65	N/A	ns
		XC7Z015	5.34	5.96	6.90	N/A	ns
		XC7Z020	5.42	6.05	7.08	N/A	ns
		XA7Z010	N/A	N/A	6.65	6.65	ns
		XA7Z020	N/A	N/A	7.08	7.08	ns
		XQ7Z020	N/A	6.05	7.08	7.08	ns

记下

1. 该表列出了代表值, 其中一个全局时钟输入驱动每个可访问列中的一条垂直时钟线, 其中所有可访问的IOB和CLB触发器都由全局时钟网时钟。
2. 请参阅Zynq7000所有可编程SoC包装和拔出规范 (UG865) 的模具水平库编号概述部分。

表75: 无MMCM/PLL的时钟输入输出延迟 (远时钟区域) (1)

符号	描述	设备	速度等级				单位
			-3	-2	-1C/-1I/-1LI	-1Q	
SSTL15时钟-有能力的时钟输入到输出延迟使用输出人字拖, 快速旋转率, 没有MMCM/PLL							
蒂科法尔	支持时钟的时钟输入和在引脚/银行最远的OUTFF, 没有MMCM/PLL (远时钟区域) (2)	XC7Z007S	N/A	5.68	6.65	N/A	ns
		xc7z012秒	N/A	6.25	7.21	N/A	ns
		xc7z014秒	N/A	6.34	7.40	N/A	ns
		XC7Z010	5.08	5.68	6.65	N/A	ns
		XC7Z015	5.60	6.25	7.21	N/A	ns
		XC7Z020	5.69	6.34	7.40	N/A	ns
		XA7Z010	N/A	N/A	6.65	6.65	ns
		XA7Z020	N/A	N/A	7.40	7.40	ns
		XQ7Z020	N/A	6.34	7.40	7.40	ns

记下

1. 该表列出了代表值, 其中一个全局时钟输入驱动每个可访问列中的一条垂直时钟线, 其中所有可访问的IOB和CLB触发器都由全局时钟网时钟。
2. 请参阅Zynq7000所有可编程SoC包装和拔出规范 (UG865) 的模具水平库编号概述部分。

发送反馈

表76: 时钟-使用MMCM的时钟输入输出延迟

符号	描述	设备	速度等级				单位
			-3	-2	-1C/-1I/-1LI	-1Q	
SSTL15时钟-有能力的时钟输入到输出延迟使用输出人字拖, 快速旋转率, 与MMCM。							
tickofmmcc	具有时钟能力的时钟输入和OUTFF与MMCM	XC7Z007S	N/A	1.03	1.03	N/A	ns
		xc7z012秒	N/A	1.04	1.06	N/A	ns
		xc7z014秒	N/A	1.04	1.05	N/A	ns
		XC7Z010	1.04	1.03	1.03	N/A	ns
		XC7Z015	1.05	1.04	1.06	N/A	ns
		XC7Z020	1.05	1.04	1.05	N/A	ns
		XA7Z010	N/A	N/A	1.03	1.03	ns
		XA7Z020	N/A	N/A	1.05	1.05	ns
		XQ7Z020	N/A	1.04	1.05	1.05	ns

记下

1. 该表列出了代表值, 其中一个全局时钟输入驱动每个可访问列中的一条垂直时钟线, 其中所有可访问的IOB和CLB触发器都由全局时钟网时钟。
2. MMCM输出抖动已经包含在定时计算中。

表77: 时钟-使用PLL的时钟输入输出延迟

符号	描述	设备	速度等级				单位
			-3	-2	-1C/-1I/-1LI	-1Q	
SSTL15时钟-有能力的时钟输入到输出延迟使用输出人字拖, 快速旋转率, 与PLL。							
替克福普尔cc	具有时钟能力的时钟输入和OUTFF与PLL	XC7Z007S	N/A	0.82	0.82	N/A	ns
		xc7z012秒	N/A	0.82	0.82	N/A	ns
		xc7z014秒	N/A	0.82	0.82	N/A	ns
		XC7Z010	0.82	0.82	0.82	N/A	ns
		XC7Z015	0.82	0.82	0.82	N/A	ns
		XC7Z020	0.82	0.82	0.82	N/A	ns
		XA7Z010	N/A	N/A	0.82	0.82	ns
		XA7Z020	N/A	N/A	0.82	0.82	ns
		XQ7Z020	N/A	0.82	0.82	0.82	ns

记下

1. 该表列出了代表值, 其中一个全局时钟输入驱动每个可访问列中的一条垂直时钟线, 其中所有可访问的IOB和CLB触发器都由全局时钟网时钟。
2. PLL输出抖动已经包含在定时计算中。表78: 使用BUFIO的时钟输出

符号	描述	速度等级				单位
		-3	-2	-1C/-1I/-1LI	-1Q	
SSTL15时钟-能力时钟输入输出延迟使用输出翻转, 快速旋转率, 与BUFIO。						
蒂科夫克斯	从输出输出输出	5.14	5.76	6.81	6.81	ns

设备引脚输入参数指南

表79: HR I/O银行无ZHOLD_DELAY无MMCM/PLL全局时钟输入设置和保持

符号	描述	设备	速度等级				单位
			-3	-2	-1C/-1I/-1LI	-1Q	
针对SSTL15标准的相对于全局时钟输入信号的输入设置和保持时间。(1)							
TPSFD/TPHFD	完全延迟 (遗留延迟或默认延迟) 全局时钟输入和IFF (2) 在HR I/O银行上没有带有ZHOLD_DELAY的MMCM/PLL	XC7Z007S	N/A	2.13/ - 0.17	2.44/ - 0.17	N/A	ns
		xc7z012秒	N/A	2.55/ - 0.18	3.03/ - 0.18	N/A	ns
		xc7z014秒	N/A	2.74/ - 0.25	3.18/ - 0.25	N/A	ns
		XC7Z010	2.00/ - 0.17	2.13/ - 0.17	2.44/ - 0.17	N/A	ns
		XC7Z015	2.38/ - 0.18	2.55/ - 0.18	3.03/ - 0.18	N/A	ns
		XC7Z020	2.55/ - 0.25	2.74/ - 0.25	3.18/ - 0.25	N/A	ns
		XA7Z010	N/A	N/A	2.44/ - 0.17	2.44/ - 0.17	ns
		XA7Z020	N/A	N/A	3.18/ - 0.25	3.18/ - 0.25	ns
		XQ7Z020	N/A	2.74/ - 0.25	3.18/ - 0.25	3.18/ - 0.25	ns

记下

1. 在最坏情况下 (工艺、电压、温度) 下测量设置和保持时间。设置时间相对于全局时钟输入信号, 使用最慢的过程、最高温度和最低电压。保持时间相对于全局时钟输入信号, 使用最快的过程、最低温度和最高电压。
2. IFF =输入触发器或锁扣。

表80: 具有时钟功能的时钟输入设置和保持与MMCM

符号	描述	设备	速度等级				单位
			-3	-2	-1C/-1I/-1LI	-1Q	
针对SSTL15标准的相对于全局时钟输入信号的输入设置和保持时间。(1)							
tpsmcc/ tphmmccc	没有延迟时钟能力的时钟输入和IFF (2) 与MMCM	XC7Z007S	N/A	2.68/ - 0.62	3.22/ - 0.62	N/A	ns
		xc7z012秒	N/A	2.80/ - 0.62	3.34/ - 0.62	N/A	ns
		xc7z014秒	N/A	2.82/ - 0.62	3.38/ - 0.62	N/A	ns
		XC7Z010	2.36/ - 0.62	2.68/ - 0.62	3.22/ - 0.62	N/A	ns
		XC7Z015	2.47/ - 0.62	2.80/ - 0.62	3.34/ - 0.62	N/A	ns
		XC7Z020	2.48/ - 0.62	2.82/ - 0.62	3.38/ - 0.62	N/A	ns
		XA7Z010	N/A	N/A	3.22/ - 0.62	3.22/ - 0.62	ns
		XA7Z020	N/A	N/A	3.38/ - 0.62	3.38/ - 0.62	ns
		XQ7Z020	N/A	2.82/ - 0.62	3.38/ - 0.62	3.38/ - 0.62	ns

1. 在最坏情况下（工艺、电压、温度）下测量设置和保持时间。设置时间相对于全局时钟输入信号，使用最慢的过程、最高温度和最低电压。保持时间相对于全局时钟输入信号，使用最快的过程、最低温度和最高电压。
2. IFF =输入触发器或锁扣
3. 使用IBIS来确定使用各种标准引起的任何占空比扭曲。

发送反馈

表81: 具有时钟功能的时钟输入设置和保持与PLL

符号	描述	设备	速度等级				单位
			-3	-2	-1C/-1I/-1LI	-1Q	
输入设置和保持时间相对于时钟-支持SSTL15标准的时钟输入信号。(1)							
TPSPLLC/ tp1lcc	没有延迟时钟能力的时钟输入和IFF (2)与PLL	XC7Z007S	N/A	3.03/ - 0.19	3.64/ - 0.19	N/A	ns
		xc7z012秒	N/A	3.15/ - 0.20	3.76/ - 0.20	N/A	ns
		xc7z014秒	N/A	3.17/ - 0.20	3.80/ - 0.20	N/A	ns
		XC7Z010	2.67/ - 0.19	3.03/ - 0.19	3.64/ - 0.19	N/A	ns
		XC7Z015	2.78/ - 0.20	3.15/ - 0.20	3.76/ - 0.20	N/A	ns
		XC7Z020	2.79/ - 0.20	3.17/ - 0.20	3.80/ - 0.20	N/A	ns
		XA7Z010	N/A	N/A	3.64/ - 0.19	3.64/ - 0.19	ns
		XA7Z020	N/A	N/A	3.80/ - 0.20	3.80/ - 0.20	ns
		XQ7Z020	N/A	3.17/ - 0.20	3.80/ - 0.20	3.80/ - 0.20	ns

记下

1. 在最坏情况下（工艺、电压、温度）下测量设置和保持时间。设置时间相对于全局时钟输入信号，使用最慢的过程、最高温度和最低电压。保持时间相对于全局时钟输入信号，使用最快的过程、最低温度和最高电压。
2. IFF =输入触发器或锁扣
3. 使用IBIS来确定使用各种标准引起的任何占空比扭曲。

表82: 使用BUFIO转发时钟输入的数据输入设置和保持时间

符号	描述	速度等级				单位
		-3	-2	-1C/-1I/-1LI	-1Q	
输入设置和保持时间相对于为SSTL15标准转发时钟输入大头针使用BUFIO。						
TPSCS/TPHCS	设置和保存输入/输出时间钟	- 0.38/1.39	- 0.38/1.55	- 0.38/1.86	- 0.38/1.86	ns

表83: 样本窗口

符号	描述	速度等级				单位
		-3	-2	-1C/-1I/-1LI	-1Q	
特桑普	接收机引脚处的采样误差(1)	0.59	0.64	0.70	0.70	ns
TSAMP_BUFIO	在接收机引脚处的采样误差正在使用BUFIO (2)	0.35	0.40	0.46	0.46	ns

记下

1. 该参数表示PL DDR输入寄存器的总采样误差，通过电压、温度和过程进行测量。特征描述方法使用MMCM来捕获DDR输入寄存器的操作边缘。这些测量包括：
 - CLK0 MMCM抖动
 - MMCM精度（相位偏移量）
 - MMCM相移分辨率
 这些测量值不包括软件包或时钟树的倾斜。
2. 该参数表示PL DDR输入寄存器的总采样误差，通过电压、温度和过程进行测量。该表征方法使用BUFIO时钟网络和IDELAY来捕获DDR输入寄存器的操作边缘。这些测量值不包括软件包或时钟树的倾斜。

发送反馈

附加的软件包参数指南

本节中的参数提供了计算PL时钟发射器和接收器数据有效窗口的定时预算的必要值。

表84: 包装歪斜

符号	描述	设备	包装	价值	单位
TPKGSKEW	包装歪斜(1)	XC7Z007S	CLG225	101	ps
			CLG400	155	ps
		xc7z012秒	氯化钾485	182	ps
		xc7z014秒	CLG400	166	ps
			氯化钾484	248	ps
		XC7Z010	CLG225	101	ps
			CLG400	155	ps
		XC7Z015	氯化钾485	182	ps
		XC7Z020	CLG400	166	ps
			氯化钾484	248	ps
		XA7Z010	CLG225	101	ps
			CLG400	155	ps
		XA7Z020	CLG400	166	ps
			氯化钾484	248	ps
		XQ7Z020	氯化钾400	166	ps
			氯化钾484	248	ps

记下

1. 这些值表示包中任意两个选择IO资源之间的最坏情况倾斜：从模垫到球的最短延迟到最长延迟。
2. 这些设备/包组合提供包延迟信息。此信息可用于消除包。

发送反馈

GTP收发器规格（仅可在XC7Z012S和XC7Z015中使用）

GTP收发器直流输入和输出电平

表85总结了XC7Z012S和XC7Z015中GTP收发器的直流输出规格。有关更多细节，请参考7系列FPGAs GTP收发器用户指南（UG482）。

表85：GTP收发器直流技术规格

符号	直流参数	条件	最小	型式	最高的	单位
DVPPOUT	差峰输出电压(1)	变送器输出摆动被设置为最大设置	1000	-	-	mV
VCMOUTDC	直流共模输出电压	基于方程的	维姆塔夫特 - DVPPOUT/4			mV
溃败	差速器输出电阻		-	100	-	Ω
维克莫塔克	共模输出电压：交流耦合		1/2 VMGTAVTT			mV
倾斜的	发射机输出对（TXP和TXN）对内偏斜		-	-	12	ps
德瓦平	差分峰输入电压	外部交流耦合	150	-	2000	mV
文	单端输入电压(2)	直流耦合维姆塔夫特= 1.2V	- 200	-	维姆塔夫特	mV
视频通信管理程序	共模输入电压	直流耦合维姆塔夫特= 1.2V	-	2/3 VMGTAVTT	-	mV
林	差分输入电阻		-	100	-	Ω
外囊	推荐的外部交流耦合电容器(3)		-	100	-	nF

记下

1. 输出摆动和预强调整级别可以使用7系列FPGAs GTP收发器用户指南（UG482）中讨论的属性进行编程，并可以导致低于本表中报告的值。
2. 在参考GND的引脚处测量的电压。
3. 其他值可以适当使用，以符合特定的协议和标准。

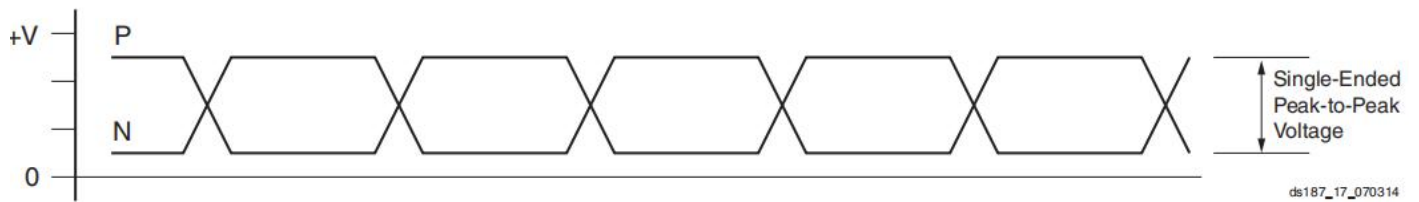


Figure 20: Single-Ended Peak-to-Peak Voltage

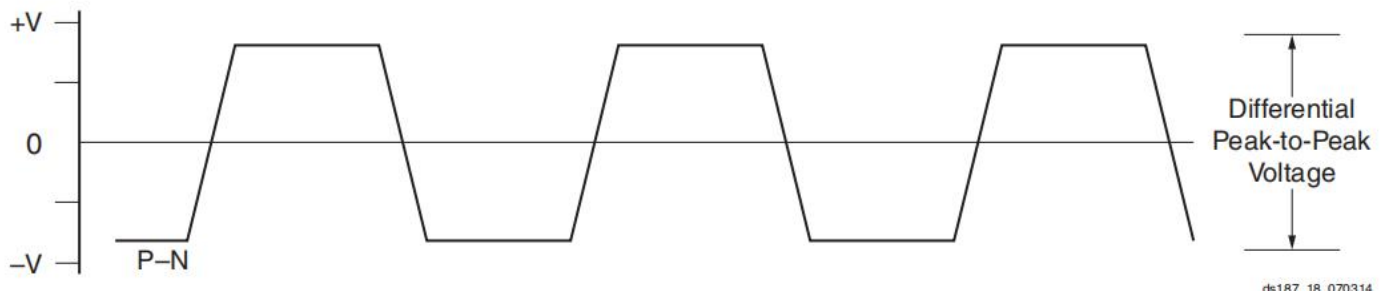


图21：峰峰差电压

注：图21中，差峰电压=单端峰峰电压x2。

表86总结了GTP收发器时钟输入的直流规格。有关更多细节，请参考7系列FPGAs GTP收发器用户指南 (UG482)。

表86: GTP收发器时钟直流输入电平规范

符号	直流参数	最小	型式	最高的	单位
维迪夫	差分峰输入电压	350	-	2000	mV
林	差分输入电阻	-	100	-	Ω
外囊	需要的外部交流耦合电容器	-	100	-	nF

GTP收发器切换特性

有关进一步信息，请参考7系列FPGAs GTP收发器用户指南 (UG482)。

表87: GTP收发器性能

符号	描述	输出分界线	速度等级				单位
			-3	-2	-1C/-1I/-1LI	-1Q	
FGTPMAX	最大GTP收发器数据速率		6.25	6.25	3.75	N/A	Gb/s
FGTPMIN	最小GTP收发器数据速率		0.500	0.500	0.500	N/A	Gb/s
法格普朗格	PLL线路速率范围	1	3.2 - 6.25	3.2 - 6.25	3.2 - 3.75	N/A	Gb/s
		2	1.6 - 3.3	1.6 - 3.3	1.6 - 3.2	N/A	Gb/s
		4	0.8 - 1.65	0.8 - 1.65	0.8 - 1.6	N/A	Gb/s
		8	0.5 - 0.825	0.5 - 0.825	0.5 - 0.8	N/A	Gb/s
f _{gtppll} 范围	GTP收发器PLL频率范围		1.6 - 3.3	1.6 - 3.3	1.6 - 3.3	N/A	千兆赫

表88: GTP收发器动态重新配置端口 (DRP) 切换特性

符号	描述	速度等级				单位
		-3	-2	-1C/-1I/-1LI	-1Q	
FGTPDRPCLK	最大频率	175	175	156	N/A	兆赫

表89: GTP收发器参考时钟切换特性

符号	描述	条件	全速等级			单位
			最小	型式	最高的	
弗格克	参考时钟频率范围		60	-	660	兆赫
特克拉克	参考时钟上升时间	20% - 80%	-	200	-	ps
TFCLK	参考时钟下降时间	80% - 20%	-	200	-	ps
TDCREF	参考时钟占空比	仅限收发器PLL	40	-	60	%

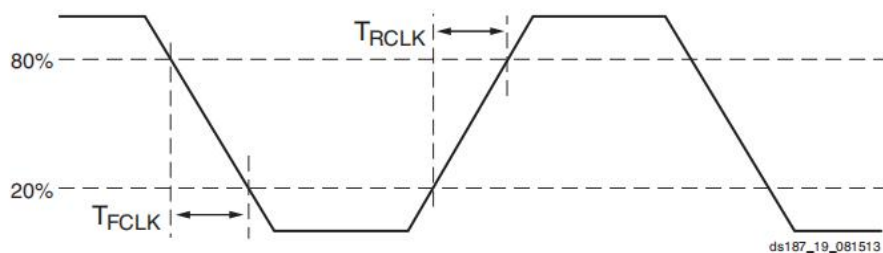


图22: 参考时钟计时参数

表90: GTP收发器PLL/锁定时间自适应

符号	描述	条件	全速等级			单位
			最小	型式	最高的	
特洛克	初始PLL锁		-	-	1	ms
TDLOCK	时钟恢复阶段的采集和自适应时间。	在PLL被锁定到参考时钟之后，这是将时钟数据恢复(CDR)锁定到输入处出现的数据所花费的时间。	-	50,000	2.3 x106	用户界面

表91: GTP收发器用户时钟切换特性(1)

符号	描述	条件	速度等级				单位
			-3	-2	-1C/-1I/-1LI	-1Q	
ftx输出	最大频率		390.625	390.625	234.375	N/A	兆赫
法克斯特	最大频率		390.625	390.625	234.375	N/A	兆赫
氟辛	最大频率	16位数据路径	390.625	390.625	234.375	N/A	兆赫
氟辛	最大频率	16位数据路径	390.625	390.625	234.375	N/A	兆赫
氟辛2	TXUSRCLK2最大频率	16位数据路径	390.625	390.625	234.375	N/A	兆赫
纤维蛋白2	RXUSRCLK2最大频率	16位数据路径	390.625	390.625	234.375	N/A	兆赫

记下

1. 时钟必须按照7系列FPGAs GTP收发器用户指南(UG482)中的描述来实现。

表92: GTP收发器发射器切换特性

符号	描述	条件	最小	型式	最高的	单位
FGTPTX	串行数据速率范围		0.500	-	FGTPMAX	Gb/s
TRTX	TX上升时间	20% - 80%	-	50	-	ps
TFTX	TX下降时间	80% - 20%	-	50	-	ps
倾斜的	TX车道到车道倾斜(1)		-	-	500	ps
VTX00BVDPP	电怠速振幅		-	-	20	mV
ttxoob过渡	电怠速过渡时间		-	-	140	ns
第6.25条	合计喷射器(2)(3)	.256 Gb/s	-	-	0.30	用户界面
DJ6.25	确定性抖动(2)(3)		-	-	0.15	用户界面
TJ5.0	合计喷射器(2)(3)	5.0 Gb/s	-	-	0.30	用户界面
DJ5.0	确定性抖动(2)(3)		-	-	0.15	用户界面
TJ4.25	合计喷射器(2)(3)	4.25 Gb/s	-	-	0.30	用户界面
DJ4.25	确定性抖动(2)(3)		-	-	0.15	用户界面
第3.75条	合计喷射器(2)(3)	3.75 Gb/s	-	-	0.30	用户界面
DJ3.75	确定性抖动(2)(3)		-	-	0.15	用户界面
TJ3.2	合计喷射器(2)(3)	3.20 Gb/s (4)	-	-	0.2	用户界面
第3.2款	确定性抖动(2)(3)		-	-	0.1	用户界面
TJ3.2L	合计喷射器(2)(3)	3.20 Gb/s (5)	-	-	0.32	用户界面
DJ3.2L	确定性抖动(2)(3)		-	-	0.16	用户界面
TJ2.5	合计喷射器(2)(3)	2.5 Gb/s (6)	-	-	0.20	用户界面
第2.5页	确定性抖动(2)(3)		-	-	0.08	用户界面
TJ1.25	合计喷射器(2)(3)	1.25 Gb/s (7)	-	-	0.15	用户界面
DJ1.25	确定性抖动(2)(3)		-	-	0.06	用户界面
TJ500	合计喷射器(2)(3)	500 Mb/s	-	-	0.1	用户界面
DJ500	确定性抖动(2)(3)		-	-	0.03	用户界面

记下

1. 使用相同的REFCLK输入与TX相位对齐启用了多达四个连续的发射机(一个完全填充的GTP四轴体)。
2. 使用PLL[0/1]_FBDIV = 2, 20位的内部数据宽度。这些值并不用于协议特定的遵从性确定。
3. 所有的抖动值都是基于1e的误码比⁻¹²。
4. PLL频率为3.2 GHz和TXOUT_DIV = 2。
5. PLL频率为1.6 GHz和TXOUT_DIV = 1。
6. PLL频率为2.5 GHz和TXOUT_DIV = 2。
7. PLL频率为2.5 GHz和TXOUT_DIV = 4。

发送反馈

表93: GTP收发器接收机切换特性

符号	描述		最小	型式	最高的	单位
联邦政府采购部	串行数据速率	RX过采样器未启用	0.500	-	FGTPMAX	Gb/s
特克斯内尔	外部空闲响应数据丢失或恢复的时间		-	10	-	ns
rxobvdpp	OOB检测阈值峰值到峰值		60	-	150	mV
RXSST	接收机扩频跟踪(1)	调制@ 33 KHz	- 5000	-	5000	ppm
RXRL	运行长度 (CID)		-	-	512	用户界面
RXPPMTOL	数据/REFCLK PPM偏移公差		- 1250	-	1250	ppm
SJ抖动公差(2)						
JT_SJ6.25	正弦喷射器(3)	6.25 Gb/s	0.44	-	-	用户界面
JT_SJ5.0	正弦喷射器(3)	5.0 Gb/s	0.44	-	-	用户界面
JT_SJ4.25	正弦喷射器(3)	4.25 Gb/s	0.44	-	-	用户界面
JT_SJ3.75	正弦喷射器(3)	3.75 Gb/s	0.44	-	-	用户界面
JT_SJ3.2	正弦喷射器(3)	3.2 Gb/s (4)	0.45	-	-	用户界面
JT_SJ3.2L	正弦喷射器(3)	3.2 Gb/s (5)	0.45	-	-	用户界面
JT_SJ2.5	正弦喷射器(3)	2.5 Gb/s (6)	0.5	-	-	用户界面
JT_SJ1.25	正弦喷射器(3)	1.25 Gb/s (7)	0.5	-	-	用户界面
JT_SJ500	正弦喷射器(3)	500 Mb/s	0.4	-	-	用户界面
SJ的的耐压力眼部(2)						
JT_第3.2条	带压力的喷射器总数眼部(8)	3.2 Gb/s	0.70	-	-	用户界面
JT_TJSE6.25		6.25 Gb/s	0.70	-	-	用户界面
JT_SJSE3.2	具有应力眼的正弦性抖动(8)	3.2 Gb/s	0.1	-	-	用户界面
JT_SJSE6.25		6.25 Gb/s	0.1	-	-	用户界面

记下

1. 使用RXOUT_DIV = 1、2和4。
2. 所有的抖动值都是基于1e的位误码比 10^{-12} 。
3. 注入的正弦抖动的频率为10 MHz。
4. PLL频率为3.2 GHz和RXOUT_DIV = 2。
5. PLL频率为1.6 GHz和RXOUT_DIV = 1。
6. PLL频率为2.5 GHz和RXOUT_DIV = 2。
7. PLL频率为2.5 GHz和RXOUT_DIV = 4。
8. 复合抖动。

发送反馈

GTP收发器协议抖动特性

对于表94到表98, 7系列FPGAs GTP收发器用户指南 (UG482) 包含了协议特定特性的最佳使用的推荐设置。

表94: 千兆位以太网协议特征

描述	线路速率 (Mb/s)	最小	最高的	单位
千兆以太网发射器抖动的产生				
总发射机抖动 (T_TJ)	1250	-	0.24	用户界面
千兆以太网接收器高频抖动容差				
总接收机抖动公差	1250	0.749	-	用户界面

表95: XAUI协议特征

描述	线路速率 (Mb/s)	最小	最高的	单位
XAUI发射器抖动的产生				
总发射机抖动 (T_TJ)	3125	-	0.35	用户界面
XAUI接收机高频抖动容差				
总接收机抖动公差	3125	0.65	-	用户界面

表96: PCI表达协议特征(1)

标准的	描述	线路速率 (Mb/s)	最小	最高的	单位
PCI快速发射器抖动的产生					
PCI表达式1代	总发射机抖动	2500	-	0.25	用户界面
PCI表达第2代	总发射机抖动	5000	-	0.25	用户界面
PCI快速接收器高频抖动容差					
PCI表达式1代	总接收机抖动公差	2500	0.65	-	用户界面
PCI快速生成 ²⁽²⁾	接收机固有定时错误	5000	0.40	-	用户界面
	接收机固有的确定性定时误差		0.30	-	用户界面

记下

1. 测试各卡机电 (CEM) 方法。
2. 使用公共REFCLK。

表97: CEI-6G协议特征

描述	线路速率 (Mb/s)	接口	最小	最高的	单位
CEI-6G发射器抖动产生					
总发射机抖动 (1)	4976 - 6375	CEI-6G-SR	-	0.3	用户界面
CEI-6G接收器高频抖动容差					
接收机抖动公差 (1)	4976 - 6375	CEI-6G-SR	0.6	-	用户界面

记下

1. 使用390.625 MHz参考时钟, 在最常用的6250 Mb/s的线路速率下进行测试。

发送反馈

表98: CPRI协议特征

描述	线路速率 (Mb/s)	最小	最高的	单位
CPRI发射机抖动的产生				
总发射机抖动	614.4	-	0.35	用户界面
	1228.8	-	0.35	用户界面
	2457.6	-	0.35	用户界面
	3072.0	-	0.35	用户界面
	4915.2	-	0.3	用户界面
	6144.0	-	0.3	用户界面
CPRI接收机频率抖动公差				
总接收机抖动公差	614.4	0.65	-	用户界面
	1228.8	0.65	-	用户界面
	2457.6	0.65	-	用户界面
	3072.0	0.65	-	用户界面
	4915.2(1)	0.60	-	用户界面
	6144(1).0	0.60	-	用户界面

记下

1. 测试CEI-6G-SR。

PCI Express设计交换特性的集成接口块（仅限XC7Z012S和XC7Z015）

此块仅在XC7Z012S和XC7Z015中可用。关于PCI Express设计的解决方案的更多信息和文档可以在：www.xilinx.com/technology/protocols/pciexpress.htm上找到。[席林克斯](http://www.xilinx.com)。

表99: PCI Express设计的最大性能（仅限XC7Z012S和XC7Z015）

符号	描述	速度等级				单位
		-3	-2	-1C/-1I/-1LI	-1Q	
菲皮普尔克	管道时钟最大频率	250.00	250.00	250.00	N/A	兆赫
混沌分子	用户时钟最大频率	250.00	250.00	250.00	N/A	兆赫
调频器2	用户时钟为2个最大频率	250.00	250.00	250.00	N/A	兆赫
FDRPCLK	DRP时钟最大频率	250.00	250.00	250.00	N/A	兆赫

记下

1. 有关特定支持的核心配置，请参考7系列PCI快速产品指南的FPGAs集成块（PG054）。

发送反馈

XADC规范

表100: XADC规范

参数	符号	评论和条件	最小	型式	最高的	单位
VCCADC= 1.8V ± 5%, VREFP= 1.25V, 维尔文= 0V, ADCCLK = 26 MHz, -55° C ≤ T _j ≤ 125° C, 典型值 _j =+40° C						
ADC精度(1)						
分辨率			12	-	-	钻头
积分非线性(2)	不包括	-40° C ≤ T _j ≤ 100° C	-	-	±2	LSB
		-55° C ≤ T _j < -40° C; 100° C < T _j ≤ 125° C	-	-	±3	LSB
微分非线性	DNL	没有缺失的代码, 保证是单调的	-	-	±1	LSB
偏移错误	单极	-40° C ≤ T _j ≤ 100° C	-	-	±8	LSB
		-55° C ≤ T _j < -40° C; 100° C < T _j ≤ 125° C	-	-	±12	LSB
	双极	-55° C ≤ T _j ≤ 125° C	-	-	±4	LSB
增益错误			-	-	±0.5	%
偏移匹配			-	-	4	LSB
获得匹配			-	-	0.3	%
样本率			-	-	1	质量保证书
信噪比比率(2)	SNR	弗雷姆斯= 500KS/s, 鱼鳍= 20KHz	60	-	-	dB
RMS代码噪声		外部1.25V参考	-	-	2	LSB
		片上参考	-	3	-	LSB
总谐波畸变(2)	THD	弗雷姆斯= 500KS/s, 鱼鳍= 20KHz	70	-	-	dB
模拟输入(3)						
ADC输入范围		单极操作	0	-	1	V
		双极操作	-0.5	-	+0.5	V
		单极共模范围(FS输入)	0	-	+0.5	V
		双极共模范围(FS输入)	+0.5	-	+0.6	V
最大外部通道输入范围		在这些范围内设置的相邻模拟通道不应破坏相邻通道上的测量值	-0.1	-	VCCADC	V
辅助通道已满分辨率带宽	法兰西		250	-	-	千赫兹
芯片上的传感器						
温度传感器错误		-40° C ≤ T _j ≤ 100° C	-	-	±4	° C
		-55° C ≤ T _j < -40° C; 100° C < T _j ≤ 125° C	-	-	±6	° C
电源传感器错误		-40° C ≤ T _j ≤ 100° C	-	-	±1	%
		-55° C ≤ T _j < -40° C; 100° C < T _j ≤ 125° C	-	-	±2	%
转变费率(4)						
转换时间连续	t _{恢复}	ADCCLK周期数	26	-	32	循环
转换时间事件	t _{恢复}	CLK周期数	-	-	21	循环
DRP时钟频率	DCLK	DRP时钟频率	8	-	250	兆赫
ADC钟频率	阿德克尔克	源自DCLK	1	-	26	兆赫
DCLK占空比			40	-	60	%

发送反馈

表100: XADC规范 (续)

参数	符号	评论和条件	最小	型式	最高的	单位
XADC参考(5)						
外部参考	VREFP	外部提供的参考电压	1.20	1.25	1.30	V
片上参考		接地的VREFP大头针到AGND, -40° C ≤ T _j ≤ 100° C	1.2375	1.25	1.2625	V
		接地的VREFP大头针到AGND, -55° C ≤ T _j < -40° C; 100° C < T _j ≤ 125° C	1.225	1.25	1.275	V

- 记下**
- 通过启用XADC自动增益校准功能，可以消除偏移误差和增益误差。启用此功能时指定值。
 - 仅指定为位流选项XADC增强-线性= ON。
 - 有关详细描述，请参阅7系列FPGAs和Zynq7000全可编程SoC XADC双12位1 MSPS模拟到数字转换器用户指南 (UG480) 中的ADC章节。
 - 有关详细描述，请参阅7系列FPGAs和Zynq7000全可编程SoC XADC双12位1 MSPS模拟到数字转换器用户指南 (UG480) 中的定时章节。
 - 参考电压的任何变化VREFP= 1.25V和维尔文= 0V会导致偏离理想的传递函数。这也会影响到内部传感器测量的准确性(i. e., 温度和电源供应)。
然而，对于外部比值型应用，允许参考变化±4%。

配置和切换特性

表101: 配置切换特性

符号	描述	速度等级				单位
		-3	-2	-1C/-1I/-1LI	-1Q	
通电定时特性						
TPL (1)	程序延迟	5.00	5.00	5.00	5.00	马克斯女士
教师实践观察记录	通电复位 (50 ms斜坡速率时间)	10/50	10/50	10/50	10/50	ms, Min/Max
	通电复位 (1 ms斜坡速率时间)，禁用通电复位覆盖功能。控制。PCFG_POR_CNT_4K = 0). (2)	10/35	10/35	10/35	10/35	ms, Min/Max
	启用通电复位覆盖功能后，通电复位 (1 ms斜坡速率时间)。控制。PCFG_POR_CNT_4K = 1). (2)	2/8	2/8	2/8	2/8	ms, Min/Max
t程序	程序脉冲宽度	250.00	250.00	250.00	250.00	ns, 最小值
边界扫描端口定时规范						
塔普特克	TMS和TDI设置/保持	3.00/2.00	3.00/2.00	3.00/2.00	3.00/2.00	ns, 最小值
特克特多	TCK下降边到TDO输出	7.00	7.00	7.00	7.00	ns, 最大值
FTCK	TCK频率	66.00	66.00	66.00	66.00	MHz, 最大
内部配置访问端口						
菲卡普克	内部配置接入端口 (ICAPE2)	100.00	100.00	100.00	100.00	MHz, 最大
设备DNA访问端口						
弗德纳克	DNA接入端口 (DNA_PORT)	100.00	100.00	100.00	100.00	MHz, 最大

- 记下**
- 要支持更长的配置延迟，请使用7系列FPGA配置用户指南 (UG470) 中描述的设计解决方案。
 - 仅适用于非安全启动。当PS已经通电稳定时，在电源循环之前进行测量。

发送反馈

eFUSE编程条件

表102列出了eFUSE的编程条件。有关更多信息，请参阅7系列FPGA配置用户指南(UG470)。

表102: eFUSE编程条件(1)

符号	描述	最小	型式	最高的	单位
IPLFS	PL VCCAUX源电流	-	-	115	mA
IPSF5	PS VCCPAUX源电流	-	-	115	mA
t _j	温度范围	15	-	125	°C

记下

1. 在eFUSE编程期间，不能配置Zynq-7000设备。

修订历史记录

下表显示了本文档的修订历史记录:

日期	版本	修订说明
05/07/2012	1.0	初始Xilinx版本。
06/27/2012	1.1	更新了描述，已经更改了文，注3，注4，并添加VPREF，维平，以及表1中的注5。在表2中，更新的描述和注释。更新了表3并添加了这些内容林_术语。已删除干燥剂从表5。已删除干燥剂并更新了表6中的XC7Z020。更新了表10中的LVCMOS12、SSTL135和SSTL15。更新表18。 在PS性能特性部分中，添加了时序图，并修改了许多表。更新了表50，并删除了注释2和注释3。在表51中添加了注释2和注释3。通过添加更改了表53可溶解的。删除了许多组合延迟规范和叮当声从表62。 在表100中更新了偏移误差和匹配描述以及增益误差和匹配描述，并在积分非线性中添加了注释2。
09/12/2012	1.2	更改了注释3，并在表1中增加了注释5。更新的T _j 在表2中，也修订了注释4和注释9。更新的规格包括林_术语在表3中。增加了表4。更新了表6中的XC7Z020规范。表8中更新的标准。表12中更新的规范。更新了ISE工具的交流开关特性部分14。2. 贯穿整个文件的速度规范。 在PS性能特性部分的介绍中，修改了表，更新了图4，并添加了图5。更新了图6到图13中的参数。表17中已更新的值。在表23中添加了注释2。在表36中增加了注释3。更新的描述和修订芬斯普斯克在表41中。更新了表51中的注释3。改变了表72和表73中的PPFDMAX条件。更新的设备和添加的值到表84。
02/11/2013	1.3	基于ISE工具14.4和Vivado工具2012.4更新了交流开关特性，在v1.05的-3、-2和-1速度规范。将表15和表16更新为具有-2和-1速度规格的XC7Z020设备的产品生产状态。 引言中更新的描述。在表1中进行修订后的VPIN。修订后的VPIN和综合信息网并在表2中添加了注释2。澄清PS规格，添加CPIN，并删除注释3IRPD在表3中。向表5中添加的值。更新后的“电源供应要求”部分。表7中的修订描述。修订了注释1，删除了LVTTTL、注释2和注释3，并在表8中添加了SSTL135。增加了表9。从表10中删除了HSTL_I_12和SSTL_12。从表12中删除了DIFF_SSTL12。修改为维克公司表13中的最小/最大值。 对PS切换特性部分的许多更改，包括在适用的情况下添加表格、图表、带有测试条件的注释。在表17中，更新了6: 2: 1的时钟比率频率。更新的最小值图尔皮克在表35中。在表51中添加了一个2: 1的内存控制器部分。更新了表69中的注释1。更新了表84中的注释1和注释2。更新了表100中的偏移误差和匹配和增益误差和匹配以及最大外部通道输入范围。在表101中添加到内部配置访问端口部分。

日期	版本	修订说明
02/14/2013	1.4	校正TQSPICKD2表34中的最小方程。更新了图4和图5中的计时参数名称，以匹配所附表中的计时参数名称。
02/19/2013	1.4.1	已更正版本历史记录。
03/19/2013	1.5	将表15和表16更新为具有-2和-1速度规格的XC7Z010设备的产品生产状态。通过添加OUT0更新了图4。在表33中增加了注释2。添加了表38和图9。
04/24/2013	1.6	本数据表中列出的所有设备都已被生产发布。基于ISE工具14.5和Vivado工具2013.1更新了交流开关特性，在v1.06的-3、-2和-1速度规范。更新了XC7Z010和XC7Z020的生产版本的表15和表16。 删除PS电源重置部分。更新了PS-PL功率测序部分。在表1中，已修订文（I/O输入电压），以匹配表4中的值，并将Note 4与旧的Note 5结合，然后添加新的Note 6。修订了VIN描述，并在表2中添加了注释8。更新了表4中的前3行。修改了表10中的PCI33_3电压最小值，以匹配表1和表4中的值。在表13中添加了注释1。通过添加新的数据，澄清了表34中的负载条件。表51的标题。在整个数据表中（表62、表63、表64和表79）删除了明显的注释“A0”“保持时间列表表示没有保持时间或负保持时间。
07/08/2013	1.7	在表2中添加了注释5。修正了表17中的CPU时钟性能的频率（6：2：1）。已更新FDDR3L_max表18中的值。已移动并添加法西_max到表19。更新最小值tdq有效表25和表26中的值。在表37中，修正了FSDSCLK最大值在表38中，更正了FSDSCLK并修复了弗斯迪克尔克排版单位错误。表78和表82中的值报告不正确，并已更新以匹配速度规格。
09/12/2013	1.8	在整个文档中都添加了XC7Z015。XC7Z015是本数据表中唯一包含GTP收发器的设备。添加了表1、表2和表7、PL电源测序、PL-PL电源测序、PTP收发器规格（仅限于XC7Z012S和XC7Z015）、PCI Express设计切换特性的集成接口块（仅限XC7Z012S和XC7Z015）和章节。添加了USRCLK输出部分，并澄清了为的值教师实践观察记录在表101中。已添加IPSPS到表102。更新的免责声明通知。
11/26/2013	1.9	增加了XQ7Z020的规格与-1Q速度规格/温度范围。增加了对XA7Z010和XA7Z020的规格和-1Q速度规格/温度范围。从表6中删除了注释1和注释2。增加了表14。更新后的表100个规范。在表101中，删除了USRCLK输出部分，并添加了内容TPL，t程序，注1，和设备DNA访问端口部分，并更新了教师实践观察记录描述
01/20/2014	1.10	更新表2中的注释7。在表4中添加了注释2。更新了数据表14和速度文件。更新了以-1I和-1Q速度指定的XA7Z010和XA7Z020的生产版本的表15和表16。在表52中添加了I/O标准，并改进了所有的蒂奥特普速度的规格说明。
02/25/2014	1.11	XC7Z015的生产发布的所有速度规格和温度范围，包括表15和表16中的最终信息。将表5、表6和表71中添加XC7、015数据。 添加表27。
07/14/2014	1.12	在表4中，根据客户通知7系列FPGA和Zynq7000 AP SoC I/O下电压数据表更新（XCNI4014）。增加标题LVDS D流规范（LVDS_25）。固定单位TDQSS在表27中。更新的标题输入/输出延迟切换特点。已更新的fiderayctrl_REF，蒂德雷帕特_JIT和托德雷帕特_JIT，以及表60中的注1。从表62中删除的注释。更新描述提克夫并在表74中添加了注释2。更新描述蒂科法尔并在表75中添加了注释2。修订后的dvpout和文，并在表85中添加了注释2。修改了图20和图21中的标签，并在图21之后添加了一个注释。在表99中增加了注释1。
10/09/2014	1.13	增加了1LI速度等级。更新介绍。删除了3.3V作为HR I/O银行的描述符。在PL电源接通/关闭电源排序中，添加了关于未显示的电源没有推荐顺序的句子。在PS-PL电源排序中，已删除了PL电源的列表。在表20中，删除了典型值并添加了最大值曲普斯克。增加了关于测量数据的说明电压基准向电压基准在表25到表32中。增加了I/O标准调整测量方法。

日期	版本	修订说明
11/19/2014	1.14	添加了VCCBRAM介绍。更换了-1L速度等级为-1LI，并删除了1.0V行维辛特和维克布拉姆在表2中。基于Vivado 2014.4更新了交流开关特性。在表14中更新的Vivado软件版本。在表15中，XC7Z010、XC7Z015和XC7Z020设备从提前到生产的移动-1LI速度等级。在表16中，将XC7Z010和XC7Z020设备添加-2E、-2I、-1I和2013.1软件版本，为所有商用设备添加Vivado 2014.4软件版本到-1LI速度等级，并删除了表注释。在Vivado工具中添加了选择正确的速度等级和电压。在表49中增加了注释1。在表51中，将LPDDR2行移动到2:1内存控制器部分的末端。
02/23/2015	1.15	更新的描述维克品特详见表1和表2。在表11中增加了注释6。在表13中，更改了最大值维克姆值从1.425V到1.500V。更新表22标题。添加了图1和表23。在表34中，更新后的最小值TQSPIDCK2和TQSPICKD2分别为6 ns和12.5 ns，并删除注释5。在表65中，添加特德克_DI_ECCW/TRCKD_di_eccw和特德克_di_ecc_fifo/特拉克德_di_ecc_fifo最新的特克_工程技术中心_EN符号，和更新的注释1。在表66中，更新的TDSPCK_{A, B}_MREG_MULT/TDSPCK_{A, B}_MREG_MULT和TDSPCK_{A, D}_ADREG/TDSPCK_{A, D}_ADREG符号，并将B输入替换为A输入TSPDO_A_P。从表100中删除了最低样品率规范。
09/22/2015	1.16	根据客户通知更新的数据表XCNI5034: Zynq7000 AP SoC对PS断电序列的要求。表5中为-1LI转速级XQ7Z020装置分配了静态供电电流。更新的PS电源开关电源顺序。从表16中的-1LI速度等级XQ7Z020设备生产软件单元中删除了N/A。已添加胎脾单核的细胞_REF_CLK到表33。
11/24/2015	1.17	基于Vivado 2015.4更新了交流开关特性。在表15中，在XQ7Z020的生产柱上增加了-1个LI速度等级。在表16中，将Vivado 2015.4软件版本添加到XQ7Z020的-1LI速度等级列中。在图4和图5中，在QSPI_SCLK_OUT上增加了额外的时钟脉冲。
07/26/2016	1.18	更新了PS电源开关排序中的第一句话。添加了TPSPOR请参见表22中的注1。在表54中，已更改VMEAS适用于LVCMOS (3.3V)、LVTTTL (3.3V)和PCI33 (3.3V)至1.65V。
10/03/2016	1.19	在整个过程中都添加了XC7Z007S、XC7Z012S和XC7Z014S。基于Vivado 2016.3更新了交流开关特性。
06/15/2017	1.20	在表2中的注释7中增加了1.35V。更新至交流开关特性的第一段中的Vivado 2016.3。在表60中，已更改分层分辨率从ps到μs的单位。

免责声明通知

本协议下披露给您的信息（“材料”）仅供Xilinx产品的选择和使用。在适用法律允许的最大范围内：(1)材料“按原样”提供，对于所有故障，Xilinx特此否认所有明示、暗示或法定的保证和条件，包括但不限于适销性、非侵权或适用于任何特定用途的保证；(2) Xilinx不承担与材料相关或相关的材料，包括任何直接的、间接的、特殊的或间接的损失或损害，包括间接的损失或损害（包括数据、利润、商誉或因第三方提起的诉讼而遭受的任何类型的损失），即使该损害是合理预见的或Xilinx已被告知同样的可能性。Xilinx没有义务纠正材料中包含的任何错误，也没有义务通知您材料或产品规格的更新。未经事先书面同意，您不得复制、修改、分发或公开展示这些材料。某些产品受Xilinx有限保修的条款和条件的约束，请参考Xilinx的销售条款，可在www.xilinx.com/legal.htm#tos上查看；IP核心可能受Xilinx发给您的许可证中包含的保证和支持条款的约束。Xilinx产品的设计或目的不是故障安全的，也不适用于任何要求故障安全性能的应用；您承担在此类关键应用中使用Xilinx产品的唯一风险和责任，请参考Xilinx的销售条款，可在www.xilinx.com/legal.htm#tos上查看。席林克斯。

汽车应用程序的免责声明

汽车产品（识别为“xa”部分号）不需要用于使用安全气囊的部署或使用应用程序影响车辆的控制（“安全应用程序”），除非有一个安全概念或冗余特性符合ISO 26262汽车安全标准（“安全设计”）。客户应在使用或分发任何包含产品的系统之前，为安全目的对该系统进行彻底测试。在没有安全设计的安全应用中使用产品完全由客户承担风险，仅受有关产品责任的适用法律和法规的限制。

发送反馈